

SERVICE

REPARATURANLEITUNG

ИНСТРУКЦИЯ ПО РЕМОНТУ

REPAIR INSTRUCTIONS

INSTRUCTIONS DE REPARATION

BILDUNGSCOMPUTER
robotron A5105

Teil 1

*Prüf- und
Reparaturhinweise*

VEB ROBOTRON-MESSELEKTRONIK >OTTO SCHÖN< DRESDEN
Lingnerallee 3, Postfach 211, Dresden, DDR-8012

Elektronische Aufbereitung:
Ulrich Zander <zander@felix.sax.de>

I N H A L T

0.	Einleitung	3
1.	COMPUTERGRUNDGERÄT robotron K 1505.10 (CGG)	4
1.1.	Allgemeines	4
1.2.	Prüfunterlagen	4
1.3.	Prüfmittel	4
1.4.	Funktionsbeschreibung	5
1.4.1.	Rechnerteil	5
1.4.2.	Bildteil	7
1.5.	Demontage	8
1.6.	Prüfablauf	8
1.7.	Signaturanalyse	9
1.8.	Testprogrammbeschreibung	10
1.9.	Freilaufzustand der CPU	10
1.10.	Arbeiten mit dem Prüfmodul PM19	11
1.11.	Prüfmodul TPROS	13
1.11.1.	Allgemeines	13
1.11.2.	Menübild des TPROS	13
1.11.3.	Beschreibung der Module A bis M	17
1.11.4.	Zuordnung der Varianten-Nr. zur Versions-Nr.	21
1.12.	Signaturen zu den Testprogrammen Nr. 1 bis 6	22
1.13.	Fehlersuche im Bildteil (VIS)	23
1.13.1.	Allgemeines	23
1.13.2.	Betriebsarten der VIS	24
1.13.3.	Einstellung des ZOOM-Faktors	31
1.13.4.	Mikroprozessor-Interface	31
1.13.5.	Betriebsartenübersicht	33
1.13.6.	Übersichtsschaltplan des VIS (U 1520 DC 008)	34
1.13.7.	Anschlußbelegung des VIS (U 1520 DC 008)	35
1.13.8.	Funktionsbeschreibung der Abschlüsse des Schaltkreises	36
2.	DISKETTENSPEICHEREINHEIT robotron K1505 DSE	38
2.1.	Allgemeines	38
2.2.	Demontage	38
2.2.1.	Vorbereitung	38
2.2.2.	Ausbau des Netzteiles	38

	2
2.2.3. Ausbau Floppy-Laufwerk	38
2.2.4. Ausbau der Anschlußplatte	39
2.2.5. Ausbau der Leiterplatte DSE	39
2.3. Netzteil	40
2.3.1. Prüfunterlagen	40
2.3.2. Prüfmittel	40
2.3.3. Funktionsbeschreibung	40
2.3.4. Prüfablauf	43
2.4. Komplexe Adreßkodierung, ROM, Audio und FD-Steuerung	50
2.4.1. Prüfunterlagen	50
2.4.2. Prüfmittel	50
2.4.3. Funktionsbeschreibung	50
2.4.4. Prüfablauf	53
2.5. Komplexe E/A-Schnittstellen, PIO, CTC, Plotterschnittstelle	54
2.5.1. Prüfunterlagen	54
2.5.2. Prüfmittel	54
2.5.3. Funktionsbeschreibung	54
2.5.4. Prüfablauf	55
2.5.5. Fehlererkennung	57
2.6. Lokal-Netz-Interface (LAN)	57
2.6.1. Prüfunterlagen	57
2.6.2. Prüfmittel	57
2.6.3. Funktionsbeschreibung	57
2.6.4. Prüfablauf	61
3. Sicherheitstechnische Prüfungen nach der Reparatur	64
3.1. Notwendige Prüfmittel	64
3.2. Prüfungen	64
3.2.1. Sichtprüfung	64
3.2.2. Kontrolle des Schutzleiters	64
3.2.3. Messung des Isolationswiderstandes	64
3.2.4. Prüfung der Festigkeit der Isolation	64
Anhang Unterlagen für Prüfmittel	65

Teil 2

Stromlaufpläne
Bestückungspläne
Schaltteillisten

0. Einleitung

Diese Serviceanleitung enthält die Hinweise zur Reparatur und Prüfung folgender Baugruppen des BILDUNGSCOMPUTERS robotron A5105:

- COMPUTERGRUNDGERÄT robotron K 1505
(im weiteren Text mit CGG bezeichnet)
- DISKETTENSPEICHEREINHEIT robotron K 5651
(im weiteren Text mit DSE bezeichnet)

Der MONITOR robotron K7222.23 ist an die zuständigen Service-Vertragswerkstätten einzusenden.

Die Serviceanleitung gilt nur in Verbindung mit der Bedienungsanleitung BILDUNGSCOMPUTER robotron A 5105 und den im Teil 2 enthaltenen Bestückungs- und Stromlaufplänen.

Die Unterlagen für die Prüfmittel befinden sich im Anhang dieser Reparaturanleitung, Teil 1.

Achtung:

Jede Servicewerkstatt ist verpflichtet, nach erfolgter Reparatur eine sicherheitstechnische Überprüfung gemäß Abschnitt 3 durchzuführen und diese auf der Reparaturkarte aktenkundig festzuhalten!

1. COMPUTERGRUNDGERÄT robotron K1505.10 (CGG)

1.1. Allgemeines

Die Reparatur setzt ein fundiertes Wissen über Mikroprozessoren und deren Wirkungsweisen voraus.

1.2. Prüfunterlagen

Stromlaufplan	RECHNERBAUSTEIN TYP 40-7050; 1.40.537050.0/04
Belegungsplan	RECHNERBAUSTEIN TYP 40-7050; 1.40.537050.0/00
	RECHNERBAUSTEIN TYP 40-7050; 1.40.537050.0/09

1.3. Prüfmittel

(01) Signaturanalsator 31020 (oder 31020)	
(02) Anschlußsteuerung zum Signatur- analysator 31020, (ASA)	Best.-Nr. 535 225.0
(03) Oszilloskop	Ri = 1 MOhm, C = 10 pF Frequenzbereich 0 bis 10 MHz interne und externe Triggerung (zum Beispiel EO213)
(09) MONITOR	zum Beispiel "robotron K 72222.23"
(05) Kassettengerät	zum Beispiel GC-6020 (mit Bandzähl- werk)
(06) Sinusgenerator	Frequenzbereich 10 bis 10000 Hz (zum Beispiel GF 21)
(07) Vielfachmesser	Spannungsmesser für Gleich- und Wechselspannung, Strommesser 0 bis 3A (zum Beispiel UNI 10)
(08) TPRO-Prüfmodul	entspricht einem EPROM-Erweiterungs- modul mit speziellen EPROMs
(10) Adapter zur Verbindung Modul- schacht mit Anschlußsteuerung (ASA)	siehe Anhang
(11) Adapter zur Verbindung Modul- schacht mit Zusatzmodulen	siehe Anhang
(12) Prüfstecker für X3	siehe Anhang
(13) Prüfstecker für X7	siehe Anhang
(14) Klemmleitungen	siehe Anhang

(15)	Brückenstecker	siehe Anhang
(16)	Signaturtestprogramm	für ASA auf Prüfmodul 1
(18)	Spannungsquelle 12 V/50 mA	
(19)	Prüfmittel-Prüfmodul	enthält Signaturtestprogramm auf 2-kByte-EEPROM
(20)	Prüfstecker DSE X13	siehe Anhang
(21)	Spielhebel	wie KC87
(22)	Farbfernsehgerät	mit RGB-Anschluß und UHF-Eingang
(23)	Prüfstecker an X6 vom CGG	siehe Anhang

1.4. Funktionsbeschreibung

1.4.1. Rechnerteil

Die Bezeichnung der Schaltkreise in Schrägstrichen sind die Koordinaten der jeweiligen Position des Schaltkreises auf der Leiterplatte.

Taktgenerator

Der Taktgenerator basiert auf einem Quarz mit der Frequenz von 15,000 MHz. Die Oszillatorschaltung besteht aus dem Gatter des Schaltkreises 11L sowie R1, R2, C1. Über Steckstift X13 läßt sich der Oszillator abschalten, über Steckstift X14 läßt sich nun (wenn nötig) ein Fremdtakt einspeisen. Die zwei D-Flip-Flops /13L/ teilen diese Frequenz auf 3,75 MHz, über den Treiber V1 und Gatter /13 / wird diese Frequenz als Systemtakt bereitgestellt.

Resetschaltung

Die Reset-Logik wird durch zwei Monoflops des DL123 /13H/ realisiert. Das erste Monoflop garantiert eine erste notwendige Verzögerung (13 ms) und synchronisiert mit dem Signal M1. Das zweite Monoflop bringt den Resetimpuls auf eine Länge von 6 ms. Die Schaltung aus R11, R7, R40, C4, V2, D1 /11C/, D5 /9G/ verhindert nach dem Einschalten ein zu frühes Reset und wartet auf das Erreichen des Sollwertes der Betriebsspannung. Die Widerstände R8, R11 und der Kondensator C3 entprellen den Resetaster.

Systembus

Der Systembus des Computers ist auf die Steckverbinder X1 (Slot 1) und X2 (Slot 3) herausgeführt. Der Datenbus wird durch den Schaltkreis D8 /3K/ nach außen getrieben, ebenso der Adreßbus über D9 /7K/, D10 /5K/, wobei A1 und A2 des Adreßbusses zusätzlich über D7 /7H/ intern getrieben ist. Der Steuerbus wird intern mit dem Schaltkreis D7 /7H/ getrieben.

Adreßdekodierung

Die Adreßdekodierung des CGGs und die Slot-Steuerung wird vom SVG-Schaltkreis D18 /10C/ ausgeführt. Dieser stellt die /CS-Signale der Schaltkreise D13 /3D/, D12 /3E/, D31 /20L/, D32 /20G/, D16 /5B/, D17 /6B/ bereit, sowie die Speicheraufteilungssignale CAS, SL0L, SL0H, SL1, SL3 (Slotsteuerung) und die Multiplexsteuerung (WSMUX) für die Schaltkreise D14 /4B/, D15 /3B/.

Der Schaltkreis SVG /10C/ besitzt außerdem eine Vielzahl von Eingangs- und Ausgangsports:

KEY	- Tastaturklick
LEDC	- LED CAPS
COUT	- Kassettenausgang
MOT	- LED MOTOR Ein (zur Kassettensteuerung)
TA0 bis TA3	- Tastaturspaltenauswahl über Schaltkreis D30 /23G/
S0 bis S5	- Tonerzeugung über Treiber D22 /15L/ und DA-Netzwerk R104 und Audioverstärker V6
VRD, VWR	- Steuersignale (RD, WR) für GDC und VIS
TB0 bis TB7	- Tastaturzeileneingänge

Das Adreßbit A7 wird speziell für die DRAMs U 61464, für den vollständigen /RFSM-Zyklus, von den Schaltkreisen D24 /5D/, D50 /6D/ aufbereitet, damit der Datenerhalt in diesen Schaltkreisen gewährleistet ist.

Tastatur, JOY, V24, KASIN, Systemuhr

1.4.2. Bildteil

Der GDC 82720 (D34 /26E/) ist direkt an den U 880-Systembus angeschlossen. Die Signale /WR und /RD des GDCs werden aus der Adresse und den Signalen /IORQ sowie /WR und /RD der CPU gebildet. Der Video-RAM besteht aus 4 Stück 64kx4Bit-DRAMs vom Typ U 61464 (D40-D43 /24B-27B/).

Mit einem Register DL374 (D37 /24C/) wird der höherwertige Teil der Adressen des GDCs zwischengespeichert und auf die Adreßeingänge A0-A7 der DRAMs gemultiplext. Der niederwertige Teil der Adresse wird direkt über einen Treiber DL541 (D36 /26C/) an die Adreßeingänge der DRAMs übertragen. Die Steuersignale für das Register und den Treiber sowie die Signale /RAS, /CAS, /WE und /OE für die DRAMs werden aus den Signalen ALE und /DBIN des GDCs gewonnen.

Die Trennung des GDC-Daten-/Adreßbusses und des Video-Datenbusses wird durch zwei bidirektionale Treiber DS8286 (D44 /22C/, D45 /22D/) erreicht.

Am Video-Datenbus sind außerdem der programmierbare Zeichengenerator (U 6516 DG15 2kx8Bit SRAM D46 /13B/) und der Video-Interface-Schaltkreis (VIS D47 /18C/) angeschlossen. Im Charakter-Mode werden die Video-Datenbits VDB0-VDB7 und die Signale LC0-LC2 als Adresse des Zeichengenerators verwendet und in dessen Adreßlatch gespeichert. Die Daten aus dem Zeichengenerator werden gemeinsam mit den Video-Datenbits VDB8-VDB15, die als Zeichenattribut dienen, in den VIS zur weiteren Bearbeitung übernommen. Im Grafik-Mode werden alle 16 Video-Datenbits vom VIS zur Bildausgabe benötigt. In dieser Betriebsart wird der Zeichengenerator nicht angesprochen.

Der VIS ist für die Operationen, die für den Bildaufbau notwendig sind, zuständig und erzeugt aus den Video-Daten und den Steuersignalen des GDCs die entsprechenden RGB- sowie SYNC-Signale zur Ansteuerung eines handelsüblichen Farbfernsehempfängers mit RGB-Eingang.

Er wurde so konzipiert, daß er besonders für die Betriebsart "Mixed Graphics and Character Mode" des GDCs geeignet ist. Die Anwendung im "Graphics Mode" ist ebenfalls möglich. Nur im reinen "Character Mode" ist seine Anwendung nicht möglich. In der gemischten Betriebsart müssen die Ausgänge A16 und A17 des GDCs dem VIS als Steuersignale zugeführt werden. Aus diesen Signalen werden die Informationen über das Rücksetzen des Zeilenzählers, das Blinken, die Betriebsart (Grafik- oder Charakter-Mode) und die Cursorposition gewonnen. Desweiteren enthält der VIS eine Schaltung zur automatischen Erkennung und Einstellung des ZOOM-Faktors und zur Ausblendung einer Video-Datenübernahme im Grafikmode.

Um die Darstellungsmöglichkeiten zu erweitern und dabei den Speicherbedarf nicht weiter zu vergrößern, wurde die Möglichkeit geschaffen, den Video-RAM in 2 Ebenen zu 8 Bits oder 4 Ebenen zu 4 Bits aufzuteilen. Damit ist es möglich, bei einer Auflösung von 640x250 Bildpunkten nicht nur eine s/w-Darstellung zu erhalten, sondern vier Farben pro Bildpunkt gleichzeitig auf dem Bildschirm darstellen zu können. Um diese Betriebsart realisieren zu können, wurden vier Farbregister im VIS untergebracht. In der anderen Betriebsart des VIS werden den 4 Video-RAM-Ebenen je eine Farbebene zugeordnet. Damit kann jeder Bildpunkt eine der 16 möglichen Farben erhalten. In dieser Betriebsart ist eine maximale Auflösung von 320x250 Bildpunkten möglich. In den beiden letztgenannten Betriebsarten ist allerdings die Anwendung der leistungsfähigen Grafikbefehle des GDCs nicht oder nur bedingt möglich.

An die Ausgangsstufen des VIS sind nur noch die Treiberstufen für die Bildsignale angeschlossen.

1.5. Demontage

Das Gerät ist vom Netz zu trennen! Die zwei Halteschrauben unter dem Grundgerät werden gelöst und das Grundgerät kann von der DSE abgezogen werden. Auf der Unterseite des Computer-Grundgerätes befinden sich zwei Kreuzschlitzschrauben, nach deren Herausdrehen sich das Gehäuseoberteil durch Vorklappen entfernen läßt. Nach Abstecken der Tastatur läßt sich diese samt Halterung herausheben. Nun ist die Computer-Grundplatine von oben zugänglich. Diese Leiterplatte ist mit 4 Kreuzschlitzschrauben (zwei am oberen Modulschacht, die anderen auf der Leiterplatte) befestigt. Nach deren Lösen läßt sich die Grundplatine durch vorsichtiges Nach-Vorn-Kippen (vordere Haltecken beachten!) herausnehmen.

Da SMD-Bauelemente auf der L-Seite der Leiterplatte untergebracht sind, ist unbedingt eine weiche Unterlage (Schaumstoff) erforderlich.

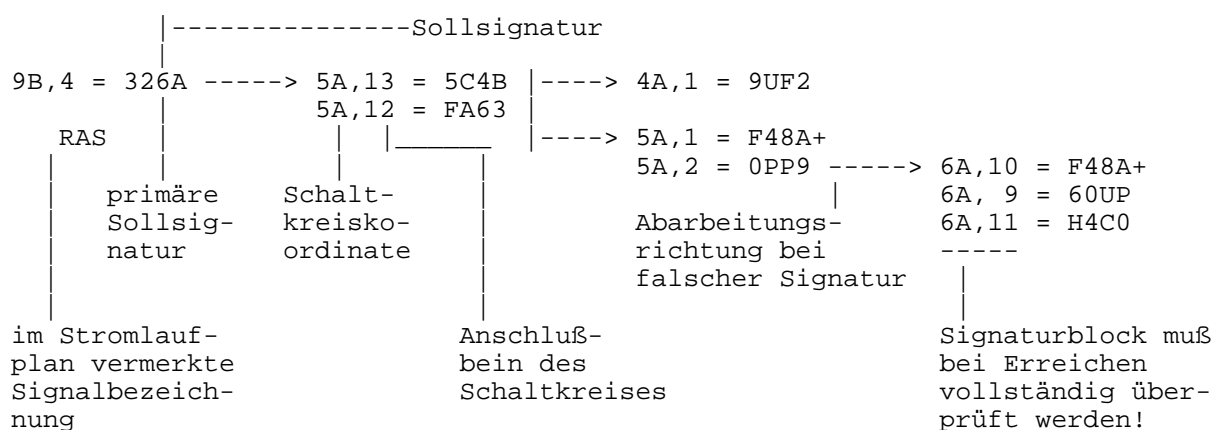
1.6. Prüfablauf

- Leiterplatte an eine Stromversorgung anstecken.
- Spannungen und Ströme prüfen.
- MONITOR anschließen.
- Als Voraussetzung, daß der MONITOR des BILDUNGSCOMPUTERS richtig arbeitet, ist ein intakter Anlauf des Rechnerbausteins D6 /4G/ (CPU 880) notwendig!
- Als erstes den Takt 15 MHz überprüfen.
- Dann den anliegenden Takt an der CPU (3,75 MHz) überprüfen.
- Anschließend die Resetschaltung überprüfen.
- Nun kann der Prüfmodul 1 (PM19) in den Modulschacht gesteckt werden.
- Durch Wählen der entsprechenden Betriebsart können nun Testprogramme generiert werden.
- Die ASA mit Signaturanalysator 31020 ist auf dem BIC-Prüfplatz DSE an Stelle der DSE zu stecken.
- Die Überprüfung der Bussysteme kann im Freilaufzustand erreicht werden.
- Ein Schrittbetrieb über Prüfmodul 1 gewährleistet eine Überprüfung der CPU D6 /4G/ und des Steuerbusses.
- Ist das Rechnersystem in Ordnung, aber trotzdem kein Bild, ist ein Fehler im Bildteil zu suchen. Da der GDC D34 /26E/ (U82720) auf einer Fassung sitzt, kann ein Fehler des Schaltkreises durch Austausch ermittelt werden.

1.7. Signaturanalyse

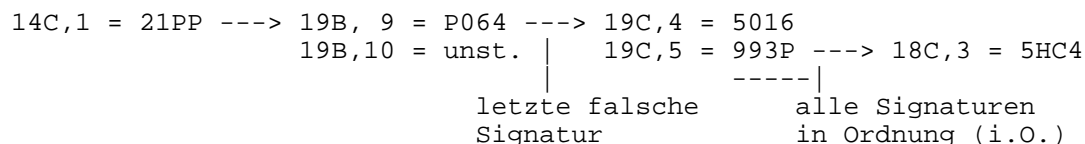
- Die Leitungen START, STOP, TAKT, Masse an den entsprechenden Punkten laut Prüfvorschrift anschließen. Angegebene Flanken für START, STOP, TAKT einschalten (die Tasten "RESET", "HAND", "PEGEL" sind nicht gedrückt!)
- Nach dem Einschalten der Geräte ist als erstes die High-Signatur entsprechend Prüfprogramm zu überprüfen! (Datensonde wird an +5V gelegt.) Ist die High-Signatur nicht in Ordnung (falsch oder unstabil), kann in diesem Prüfprogramm nicht gearbeitet werden, und es ist in das nächste Prüfprogramm laut Übersicht des Prüfablaufes (Abschnitt 3) überzugehen.
- Nach dem Überprüfen der High-Signatur werden die primären Sollsignaturen (unterstrichen) der Reihe nach geprüft. Bei auftretenden Fehlern der Signatur (falsch oder unstabil) wird die falsche Signatur entsprechend dem Pfeil rückverfolgt (nächster Signaturblock wird überprüft, siehe auch Anlagen).

Beispiel:



Wird bei falscher Signatur ein Signaturblock erreicht, in dem alle Signaturen richtig sind, wird der Punkt bzw. die Leitung im Schaltbild gesucht, an dem die letzte falsche Signatur auftritt. Hat man die letzte falsche Signatur im Adreß- und Steuerbus erreicht, so muß in Richtung CPU die Signatur weiterverfolgt werden (über IS 2D, 4D, 6D).

Beispiel:



Im Stromlaufplan ist die Leitung zu suchen, die am Schaltkreis 19B, Anschluß 9, anliegt!

Nachdem man sich orientiert hat, ist die entsprechende Leitung genauestens auf Schlüsse oder Unterbrechungen zu untersuchen, notfalls benachbarte Leitungen und Pins auf gleiches falsches Signaturbild untersuchen!

Wird nichts gefunden, muß mit Leitungsauftrennung gearbeitet werden. Der Schaltkreisausgang ist von der restlichen Schaltung zu trennen. Bleibt die Signatur falsch, ist der entsprechende Schaltkreis defekt (notfalls alle Eingangsgrößen und Signaturen des Schaltkreises nochmals überprüfen). Bei nun richtiger Signatur besteht entweder ein noch nicht entdeckter Kurzschluß oder ein Eingang eines Schaltkreises an dieser Leitung ist defekt. Dieser Schaltkreis ist durch gezieltes Auftrennen der Leitung zu ermitteln.

Anschlußbedingungen für Signaturanalysator an ASA siehe Anhang.

1.8. Testprogrammbeschreibung

Test Nr. 1: Programm zur Fehlersuche des Adreßbereiches und der Slotsteuerung

Test Nr. 2: Testprogramm Für SVG /10C/

Test Nr. 3: Testprogramm Für RAM /5B/, /6B/

Test Nr. 4: Testprogramm Für EPROM-Inhalt /3E/, /3D/

Test Nr. 5: Testprogramm Für PIO /20L/


Test Nr. 6: Testprogramm Für CTC /20G/


1.9. Freilaufzustand der CPU

Der Freilaufzustand wird hardwaremäßig erzeugt durch:

- Es sind mit Masse zu verbinden: X25 - verhindert ein WAIT vom Bildteil
X18 - Abschaltung aller Slot-Signale
- Brücke W1 entfernen und DIR-Eingang von D8 /3K/ auf Masse legen. Nun kann der Signaturanalysator entsprechend angeschlossen werden.

Anschlußbedingungen für Signaturanalysator 31020:

TAKT an 4G,21  |__

START/STOP an 4G,5  |__

Masse an Gerätemasse
High-Signatur 0001

Nach RESET muß die CPU in den Freilaufzustand übergehen. Ist dies nicht der Fall, sind folgende Punkte mit dem Oszilloskop zu überprüfen:

4G,25 = High statisch TTL-Pegel
4G,26 = High
4G,17 = High
4G,16 = High
4G,18 = High
4G,23 = High
4G,24 = High
4G,6 = Takt 3,75 MHz

Die Funktion des RESET ist zu überprüfen.

- Wird der Freilauf trotzdem erreicht, ist auf eine fehlerhafte CPU zu schließen. Ist der Freilauf erreicht, ist wie folgt zu verfahren:

Der Adreßbus ist zu überprüfen (möglichst am Steckverbinder X2, X1). Im Fehlerfall von der CPU aus über die Treiber /5K/, /7K/, /9J/ zu verfügen:

```
A0 = UUUU
A1 = 5555
A2 = CCCC
A3 = 7F7F
A4 = 5H21
A5 = 0AFA
A6 = UPFH
A7 = 52F8
A8 = HC89
A9 = 2H70
A10 = HPP0
A11 = 1293
A12 = HAP7
A13 = 3C96
A14 = 3827
A15 = 755U
```

- Mit dem Oszilloskop sind folgende Leitungen qualitativ zu überprüfen:

Im Fehlerfall vor und nach dem IS D7 /7H/ Impulsfolge kontrollieren!

```
7H,15 = Impulsfolge  _|  |  |  |    /M1
7H,14 = Impulsfolge  _|  |  |  |  |   /MREQ
7H,18 = High                                     /IORQ
7H,12 = Impulsfolge  _|  |  |  |    /RD
7H,11 = High                                     /WR
7H,13 = Impulsfolge  _|  |  |  |    /RFSH
7H,19 = Low
```

Außerdem sind diese Signale vor und nach D11 /9J/ zu überprüfen.

1.10. Arbeiten mit dem Prüfmodul PM19

Der Prüfmodul PM19 arbeitet mit der ASA (02) und dem Signaturanalysator 31020 (01) zusammen. Vom PM19 aus werden die entsprechenden Signatur-Stimulusprogramme mit RESET am CGG gestartet und durch Tastenbedienung am PM19 weitergeschaltet. Die Testprogramme sind im Prüfmodul auf einem EPROM vorhanden.

Prüfaufbau für Prüfung eines CGG

- Prüflings-CGG mit Stromversorgungskabel an Netzteil anschließen
- Prüfmodul PM19 in SLOT 3 des CGGs

Bei Arbeit mit Signaturanalyse zusätzlich:

- ASA (02) mit Adapterplatte (10) in SLOT 1 des CGGs
- Signaturanalysator (01) an ASA anschließen (Anschlußbild siehe Anhang)

Prüfaufbau für Prüfung DSE

- Prüflings-DSE auf BIC-Prüfplatz kontaktieren
- Prüfmodul PM19 in SLOT 3 des CGGs

Bei Arbeit mit Signaturanalyse zusätzlich:

- ASA (02) mit Adapterplatte (10) an Modulerweiterung der Prüflings-DSE
- Signaturanalysator an ASA anschließen (Anschlußbild siehe Anhang)

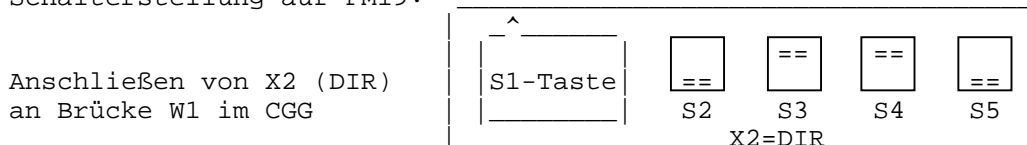
Betriebsart des Prüfmoduls PM19

Durch Schalter am PM19 sind folgende Betriebsarten einstellbar:

Arbeiten des CGGs mit der CPU des PM19

(z.B. bei Verdacht auf CPU-Defekt im CGG)

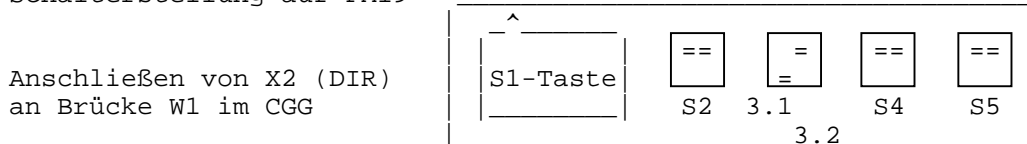
Schalterstellung auf PM19:



Schrittbetrieb des CGGs

(zum Überprüfen der Bussysteme im CGG bzw. in der DSE)

Schalterstellung auf PM19:



Schalter S3.1=EIN / S3.2=AUS : Einzelschritt bei jedem RD-Befehl

Schalter S3.1=AUS / S3.2=EIN : Einzelschritt bei jedem IORQ-Befehl

Nächster Schritt jeweils nach Tastendruck auf S1

Kontrolle des Daten-, Adreß- und Systembusses mit Logikprüfstift bzw. durch die Anzeige des PM19.

Logikzustand des Daten-, Adreß- und Systembusses

Schalter auf die entsprechende Stellung bringen, X21 auf Masse legen, Rechner mit <RESET> starten.

Schrittbetrieb Befehlszyklus

		Datenbus		Steuerbus				Adreßbus							
		DB		WAIT		HALT		IORQ		RD					
		7654	3210	INT		M1		MREQ		WR					
DI	F3	1111	0011	1	0	0	1	0	1	1	0	0000	0000	0000	0000
JP 019BH	C3	1100	0011	1	0	0	1	0	1	1	0	0001	0000	0000	0001
	9B	1001	1011	1	0	0	0	0	1	1	0	0002	0000	0000	0010
	01	0000	0001	1	0	0	0	0	1	1	0	0003	0000	0000	0011
LD A,66H	3E	0011	1110	1	0	0	1	0	1	1	0	019B	0000	0001	1001
	66	0110	0110	1	0	0	0	0	1	1	0	019C	0000	0001	1001
OUT(91),A	D3	1101	0011	1	0	0	1	0	1	1	0	019D	0000	0001	1001
	91	1001	0001	1	0	0	0	0	1	1	0	019E	0000	0001	1001
	66	0110	0110	1	0	0	0	1	0	0	1	6691	0110	0110	1001
LD a,0CFH	3E	0011	1110	1	0	0	1	0	1	1	0	019F	0000	0001	1001
	CF	1100	1111	1	0	0	0	0	1	1	0	01A0	0000	0001	1010
OUT(93),A	D3	1101	0011	1	0	0	1	0	1	1	0	01A1	0000	0001	1010
	93	1001	0011	1	0	0	0	0	1	1	0	01A2	0000	0001	1010
	CF	1100	1111	1	0	0	0	1	0	0	1	CF93	1100	1111	1001
LD A,99H	3E	0011	1110	1	0	0	1	0	1	1	0	01A3	0000	0001	1010
	99	1001	1001	1	0	0	0	0	1	1	0	01A4	0000	0001	1010
OUT(93),A	D3	1101	0011	1	0	0	1	0	1	1	0	01A5	0000	0001	1010
	93	1001	0011	1	0	0	0	0	1	1	0	01A6	0000	0001	1010
	99	1001	1001	1	0	0	0	1	0	0	1	9993	1001	1001	1001
LD A,07H	3E	0011	1110	1	0	0	1	0	1	1	0	01A7	0000	0001	1001
	07	0000	0111	1	0	0	0	0	1	1	0	01A8	0000	0001	1010
OUT(93),A	D3	1101	0011	1	0	0	1	0	1	1	0	01A9	0000	0001	1010
	93	1001	0011	1	0	0	0	0	1	1	0	01AA	0000	0001	1010
	07	0000	0111	1	0	0	0	0	1	1	0	0793	0000	0111	1001

Schrittbetrieb IORQ-Befehl (nach Reset)

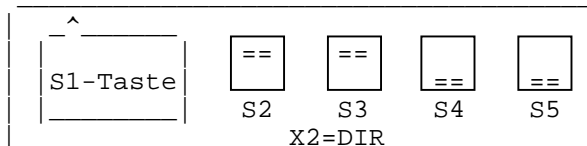
66	0110	0110	1	0	0	0	1	0	0	1	6691	0110	0110	1001	0001
CF	1100	1111	1	0	0	0	1	0	0	1	CF93	1100	1111	1001	0011
99	1001	1001	1	0	0	0	1	0	0	1	9993	1001	1001	1001	0011
07	0000	0111	1	0	0	0	1	0	0	1	0793	0000	0111	1001	0011
66	0110	0110	1	0	0	0	1	0	0	1	6691	0110	0110	1001	0001
82	1000	0010	1	0	0	0	1	0	0	1	82AB	1000	0010	1010	1011
A0	1010	0000	1	0	0	0	1	0	0	1	A0A8	1010	0000	1010	1000
50	0101	0000	1	0	0	0	1	0	0	1	50AA	0101	0000	1010	1010
03	0000	0011	1	0	0	0	1	0	0	1	0392	0000	0011	1001	0010
03	0000	0011	1	0	0	0	1	0	0	1	0381	0000	0011	1000	0001
03	0000	0011	1	0	0	0	1	0	0	1	0383	0000	0011	1000	0011

Signaturtestprogramm für ASA

(zur Fehlersuche in Schaltungsteilen des CGGs oder der DSE, siehe Abschnitt 1.12)

Schalterstellung auf PM19:

Anschließen von X2 (DIR)
an Brücke W1 im CGG



Durch RESET erfolgt der Start des ersten Signaturtestprogramms (Kontrolle der H-Signatur entsprechend Anhang)

Übergang in das jeweils nächste Testprogramm durch Tastendruck auf S1 (Kontrolle der H-Signatur entsprechend Anhang)

Bei den Testprogrammen werden keine Bildschirmausschriften erzeugt.

1.11. Prüfmodul TPROS

1.11.1 Allgemeines

Der Prüfmodul dient dem Nachweis der ordnungsgemäßen Funktion der wichtigsten Systembestandteile des BIC A 5105 bzw. des Computergrundgerätes (CGG). Mit dem BASIC-Kommando CALL TPROS wird das TPROS, welches im Slot 1 oder 3 stecken kann, gestartet. Nach der Initialisierung erscheint das Menübild (Bild 1). In diesem werden u.a. die prüfbaren Module gezeigt. War diese nicht möglich, d.h., es sind RAM-Fehler im Adreßbereich 0C000H..0FFFFH im Slot 2 aufgetreten, erfolgt eine dementsprechende Fehlerausschrift.

1.11.2. Menübild des TPROS

TPRO S.0	DL=00001	MO=	ST=MENUE

A - ROM*CGG (32K)	B - ROM*DSE		
C - RAM (Slot 2)	D - ROM*CGG (8K)		
E - VIDEO-RAM	F - V24 (PIO)		
G - Zeichengen.	H - SCREEN-Umsch.		
I - Spielhebel	J - Tastatur		
K - Kassette o.KMBG	L - Kassette m.KMBG		
M - Sound			

F1 - SCREEN 1..4	F2 - Einzeltest		
F3 - Variante 1	F4 - Fehlerstop ein		

Testfolge:			

FN=000			

Bild 1 TPROS-Menübild

Das Menübild ist in 6 Teilbereiche gegliedert.

Im ersten Bereich (Zeile 1) wird neben der Versionsnummer des TPROS folgendes gezeigt:

DL=... - Durchlaufzähler (1..99999) zeigt, in welchem Prüfdurchlauf sich das TPROS befindet. In einem Durchlauf wird jeweils die aktuelle Testfolge abgearbeitet.

MO=... - Modul, welcher gerade in Bearbeitung ist, wird durch den entsprechenden Buchstaben (A..) angezeigt.

ST=... - Status zeigt einen der folgenden Bearbeitungszustände an:

MENÜ: Anfangszustand, in welchem die Testbedingungen eingestellt werden können (Einzel- od. Dauertest, Fehler-Stop ein od. aus, Variante der ROMs, Testfolge).

(1)(2) FN-Überlauf: Bei aufgetretenem 1000. Fehler wird der Testlauf gestoppt.

(1)(2) DL-Überlauf: Nach 99999 Durchläufen wird der Testlauf gestoppt.

Modul: Es wird gerade ein Modul (A..) getestet.

(1)(2) Fehler-Stop: Falls 'Fehler-Stop ein' generiert wurde, wird nach dem Protokollieren des 46. Fehlers der Testlauf abgebrochen.

(2) Stop: Durch STOP erzwungener Zustand (erneutes STOP setzt fort, CTRL+STOP bricht ab).

(1)(2) Auswertung: Nach beendeter Testfolge im Einzeltest.

(1)(2) Break: Abbruch der Testfolge mit CTRL+STOP.

HALT: CPU-Zustand innerhalb des RAM-Testes.

Im nächsten Bereich werden die möglichen Module und die zugehörigen Kennbuchstaben dargestellt. Im Einzeltest stehen mehr Module für die Prüfung des CGGs zur Verfügung als im Dauertest. Im Status ST=MENÜ kann durch die Eingabe des entsprechenden Buchstabens der Modul in die neue Testfolge eingeordnet werden.

Der darauffolgende Teilbereich zeigt die Bedeutung der möglichen Funktionstasten (P)F1..(P)F4 an.

Dabei ist zu beachten, daß (P)F1 nur dann wirkt, wenn das TPROS einen bestimmten Status (oben mit (2) markiert) inne hat. Mit dieser Taste kann zwischen 4 Bildschirmseiten (Menübild, Fehlerscreen 1 bzw. 2 und Datenscreen) umgeschaltet werden. (P)F2..(P)F4 wirken (ST=MENÜ) wie folgt:

F2: Umschalten zwischen Dauer- und Einzeltest
Wird auf Dauertest umgestellt, so wird eine evtl. vorhandene Testfolge ggf. auf die möglichen Module reduziert.

F3: Auswahl der Variante, welche in den Modulen A, B und D zum Prüfsummenvergleich benutzt werden soll. Der Zusammenhang zwischen der Variantennummer und der Versionsnummer des Betriebssystems ist dem Anhang zu entnehmen. Wurde die Variante X generiert, wird kein Prüfsummenvergleich durchgeführt. Dafür werden die (unbekannten) Prüfsummen ermittelt und im Datenscreen wie folgt protokolliert:

Modul A : CRC-Prüfsumme für je 2k-Bereiche
Aadr Eadr CRC

Modul A,B,D : aufsummierte Prüfsumme(n)

A	Aadr	Eadr	Summe	CGG
B		-#-		DSE1
		-#-		DSE2
C		-#-		SCP

F4: Fehler-Stop ein- bzw. ausschalten

ein: Nach 46 protokollierten (in Fehlerscreen 1 bzw. 2) Fehlern wird die Testfolge abgebrochen.

aus: Die auftretenden Fehler werden fortlaufend protokolliert, d.h., es stehen nur die letzten 45 Fehler zur Auswertung zur Verfügung.

Im folgenden Bereich kann die Generierung einer beliebigen oder Standard-testfolge geschehen. Wird nur ENTER betätigt, so wird für die jeweilige Testart (Einzel- / Dauertest) eine Testfolge generiert und gestartet. Die in der folgenden Tabelle mit 'x' markierten Module werden im jeweiligen Test generiert.

Modul	Einzeltest	Dauertest
A ROM*CGG (32K)	x	x
B ROM*DSE	x 1)	x 1)
C RAM (Slot 2)	x	x
D ROM*CGG (8K)	x	x
E VIDEO-RAM	x	x
F V24 (PIO)	x	x
G Zeichengen.	x	x
H SCREEN-Umsch.	x	x
I Spielhebel	x	
J Tastatur	x	
K Kassette o.KMBG	x	x
L Kassette m.KMBG	x	
M Sound		

1) nur, wenn DSE vorhanden

Die Generierung einer beliebigen Testfolge erfolgt durch die Eingabe der entsprechenden Buchstaben (A..). Mit DEL kann der jeweils letzte Modul (A..) gelöscht werden. Nach Betätigen von ENTER wird ein '*' eingetragen und die Testfolge gestartet.

Im Bereich FN=..... wird, falls aufgetreten, die Information zum zuletzt registrierten Fehler wie folgt angezeigt:

```
FN=..... Nr. des letzten Fehlers
DL=..... Durchlauf, in dem dieser auftrat
MO=.      Modul, in welchem dieser auftrat
..... modulspezifische Fehlerinformation.
```

Im untersten Bereich werden ggf. notwendige Hinweise bzw. Aufforderungen für den Bediener angezeigt.

Nachdem eine Testfolge gestartet wurde, kann diese mit **STOP** unterbrochen werden. In einigen Modulen tritt eine Reaktion auf **STOP** verzögert (längere DI-Phasen !). Erneutes **STOP** setzt die Testfolge fort.

Mit **CTRL+STOP** kann die Testfolge jederzeit (evtl. verzögert) abgebrochen werden.

Innerhalb des RAM-Tests ist ca. 10 Sekunden lang keine Tastenabfrage möglich, d.h., weder **STOP** noch **CTRL+STOP** werden erkannt. Dieser Zeitraum wird durch ST=HALT angezeigt.

Befindet sich TPROS in einem mit (2) gekennzeichneten Status, so kann mit (P)F1 zwischen den 4 Screens umgeschaltet werden.

Wurde ein mit (1) gekennzeichneteter Status erreicht, so gibt es folgende Möglichkeiten der Programmfortsetzung:

- CTRL+STOP: Beenden des TPROS und Rückkehr ins BASIC (Neustart)
- ENTER : Teilweise Neuinitialisierung und Übergang ins Hauptmenü (ST=MENÜ), wobei die mit (P)F2..(P)F4 eingestellten Testbedingungen erhalten bleiben.

1.11.3. Beschreiben der Module A bis M

Modul A: Test des 32-kByte-(EP)ROMs im CGG (Slot 0)

- Variante X
- Berechnung der CRC-Prüfsumme für jeweils 2k-Bereiche, sowie der 'reinen' Summe für 32k.
 - Die ermittelten Prüfsummen werden im Datenscreen wie folgt angezeigt:

Aadr	Eadr	CRC-Summe	für je 2 kByte
...	
0000	7FFF	Summe	CGG

- Variante 1.. - Berechnung der CRC-Prüfsumme für je 2 kByte und Vergleich mit Soll-CRC.

Fehlerausschrift:

FN=..... DL=..... MO=A Aadr Soll-CRC Ist-CRC

Modul B: Test der zwei 8-kByte-(EP)ROMs auf der DSE

Variante X - Bildung der 'reinen' Summe für je 8 kByte und Anzeige im Datenscreen wie folgt:

4000	5FFF	Summe	DSE1
6000	7FFF	Summe	DSE2

Variante 1.. - analog Modul A

Modul C: RAM-Test im CGG (Slot 2 Adreßbereich 0..0BFFFH)

- * Beschreiben der RAM-Zellen ab Adresse 0 mit 0C3H, 0AAH, 5CH, 0C3H, ... u. anschl. Vergleich
- * Beschreiben der RAM-Zellen ab Adresse 0 mit 0AAH, 5CH, 0C3H, 0AAH ... u. anschl. Vergleich
- * Beschreiben der RAM-Zellen ab Adresse 0 mit 0AAH, 5CH, 0C3H, 5CH ... u. anschl. Vergleich
 - danach 10s Pause (CPU) im HALT (STATUS=HALT), Aufheben mit CTC3-Interrupt, Kanal 0-2-3 gebrückt)
 - danach erneuter Vergleich (evtl. Fehler erhalten RFSH als Kennung, Refresh-Fehler !)

Fehlerausschrift:

FN=.....	DL=.....	MO=C	RAM-Adr.	Soll-Byte	Ist-Byte	R/W
				--#--		RFSH

Modul D: Test des 8-kByte-(EP)ROMs im CGG (Slot 0)

Variante X - Bildung der 'reinen' Summe für 8 kByte und Anzeige Datenscreen wie folgt:

8000	9FFF	Summe	SCP
------	------	-------	-----

Variante 1.. analog Modul A

Modul E: Video-RAM-Test (Adreßbereich 1000H..0FFFFEH)

Da TPROS den unteren VRAM-Bereich für eigene Anzeigen verwendet, wird dieser als i.O. angesehen.

- Beschreiben des VRAMs mit 0AAC3H, 0C35CH, 5CAAH, 0AAC3H...
- Zeichengenerator-Test als Warteschleife (Aus- und Anschalten des Bildschirms !)
- Vergleich mit Sollbelegung

Fehlerausschrift:

FN=.....	DL=.....	MO=E	VRAM-Adr.	Soll-Wort	Ist-Wort
----------	----------	------	-----------	-----------	----------

Modul F: Prüfung des PIO-Ports B im CGG

Das Prüfmittel PM (20) "DSE X3" am DSE-Steckverbinder X3 (wenn DSE vorhanden). Das Prüfmittel PM (13) an CGG, auf diesem sind die PIO-Pins B1-B4 gebrückt.

Fehlerausschrift:

FN=..... DL=..... MO=F B4=1 statt 0 bzw.
(---#--- B4=0 statt 1)

Bedeutung: Es wurde eine 0 (1) gesendet, aber eine 1 (0) empfangen.

Modul G: Test des Zeichengenerators

Da TPROS den unteren VRAM-Bereich für eigene Anzeigen verwendet, wird dieser als i.O. angesehen.

- Abschalten des Bildschirms, Beschreiben des ZG-SRAMs mit ROM-ZG-Inhalt.
- Lesen des ZG-SRAMs und Vergleich mit ROM-ZG-Inhalt, danach Anschalten des Bildschirms.

Fehlerausschrift:

FN=..... DL=..... MO=G _____ n ZG

Bedeutung: n = Anzahl (hexadez.) der Gesamtfehler (max. 800)

_____ = 8-Bit-Positionen, wobei für _ stehen kann:

- . -> fehlerfreie Position
- L -> ein- oder mehrmals Low statt High auf dieser Position gelesen
- H -> ein- oder mehrmals High statt Low auf dieser Position gelesen
- X -> High statt Low, als auch Low statt High gelesen

Modul H: Test der Bildschirmbetriebsarten

In diesem Modul kann nur eine subjektive Beurteilung verschiedener Testbilder erfolgen. ES werden folgende 3 Testbilder erzeugt:

- 2x8 verschiedene senkrechte Farbbalken, wobei die linken (schwarz, blau, rot, magenta, grün, cyan, gelb, weiß) in intensiven Farbtönen und die rechten Balken in dunkleren Tönen (gleiche Farben) erscheinen müssen.
- Testbild im 40-Zeichen-Mode mit senkrechten Farbbalken (weiß, gelb, cyan, grün, magenta, rot, blau, schwarz) in intensiven Farben, darunter die Ausschrift "40 Zeichen pro Zeile" und darunter erneut die verschiedenen Farbbalken (in dunklen Tönen).

- Testbild im 80-Zeichen-Mode. Wie zuvor, nur mit vergrößertem Zeilenabstand (die senkrechten Balken müssen unterbrochen sein) und der Ausschrift "80 Zeichen pro Zeile".

Im Einzeltest erfolgt die Weiterschaltung zum nächsten Testbild mit ENTER, sonst durch TPROS nach einer definierten Pause.

Modul I: Test des Spielhebel-Interfaces

Mit gestecktem Spielhebel PM (21)

Der Modul ist nur im Einzeltest verfügbar.

- Die Spielhebel werden auf dem Bildschirm symbolisch dargestellt.
- Die gedrückte Richtung bzw. Aktionstaste wird mit '*' so lange angezeigt, wie diese gedrückt ist.
- Fehler können nur subjektiv beurteilt werden!

Modul J: Tastatur-Test

- Die Bedienerführung erfolgt im unteren Anzeigebereich.
- Wird anstelle der geforderten Taste(n) CTRL+STOP gedrückt, erscheint die Fehlerausschrift "n Tasten ??", wobei n der Anzahl (hexadezimal) der nicht geprüften Tasten entspricht.
- Bei falsch erkannter bzw. gedrückter Taste(n) wird diese angezeigt (Codierungen < 20H werden als Grafikzeichen sichtbar), und eine Testwiederholung (3x) ist möglich.
- Zuviel erkannte Tasten werden erkannt und angezeigt.

Hinweis: Die Taste mit dem nach links oben zeigenden Pfeil wird als HOME-Taste bezeichnet.

Modul K: Test des Kassetteninterfaces mit Kurzschluß-Stecker PM (23) an CGG X6

Es werden 6000 Perioden mit rund 1,38 kHz über einen invertierenden Stecker (PM) gesendet und danach empfangen (LED an PM muß leuchten).

Fehlerausschrift:

FN=..... DL=..... MO=K 0 / 1 = mm nn

Bedeutung: mm = Anzahl (hexadez.) High-Fehler

nn = Anzahl (-#-) Low Fehler

- Falls kein Kurzschluß-Stecker steckt, ist mm=1700 und nn=0000.
- High-Fehler: Es wurde High gesendet, aber kein Low empfangen.
- Low-Fehler: analog

Modul L: Test des Kassetteninterfaces mit KMBG

- Dieser Test ist nur im Einzeltest verfügbar.
- Die Bedienerführung erfolgt im unteren Bildteil.
- Es werden 4 kByte Daten aus dem CGG-ROM auf Magnetband gespeichert und anschließend wieder eingelesen. Wurde ein Lesefehler entdeckt, wird das Einlesen beende, und es kann bis zu 3x wiederholt werden. Ist auch das nicht erfolgreich, so wird eine Fehlerausschrift angezeigt.

Fehlerausschrift:

FN=..... DL=..... MO=L Adr. Soll-Byte Ist-Byte

wobei $0 \leq \text{Adr.} < 1000\text{H}$ gilt

Modul M: Überprüfung der 3 Soundkanäle

Dieser Modul ist nur im Einzeltest verfügbar und wird nicht automatisch generiert. Es ist nur eine subjektive Fehlerbeurteilung möglich.

Es werden nacheinander folgende Geräusche erzeugt:

- Ausgabe eine Tones, welcher langsam leiser wird, für jeden Kanal.
- Rauschen für Kanal A.
- Tonausgabe für Kanal A mit der Hüllkurve ^^^^^, d.h., 6 Töne, die jeweils erst lauter und danach leiser werden.

Wird die sich daran anschließende Frage 'Dauerton (J)/N ?' mit J bzw. ENTER beantwortet, so wird vom Kanal A ein Dauerton (1 kHz) ausgegeben. Dieser kann mit ENTER abgebrochen werden. Mit Hilfe dieses Tones besteht die Möglichkeit einer Signalverfolgung auf den Leiterplatten.

1.11.4. Zuordnung der Varianten-Nr. zur Versions-Nr.

Für die Kontrolle der richtigen Prüfsummen in den Modulen A, B und D gilt folgende Zuordnung:

Variante	Versions-Nr.
1	1.60

Bei eingestellter Variante X müssen folgende Summen im Datenscreen erscheinen:

Versions-Nr.	Summe für Kennung			
	CGG	SCP	DSE1	DSE2
1.60				

Folgende Signaturen sind zu kontrollieren:

Ausgangssignale des SVG:

CSPIO: 10C,62 = PPH4	---	Kontrolle von Adreß-, Daten- und Systembus (auch bei Fehlern in anderen Signaturprogrammen)	
CSCTC: 10C,58 = H5A0			
DIR: 10C,53 = 5PCF	----	Adreßbus	
WSMUX: 10C,29 = 9083			
		AB0: 4G,30 = HH71	weitere Fehlersuche im Freilaufzustand der CPU (siehe Punkt 1.9)
		AB1: 7H,17 = 13C0	
		AB2: 7H,16 = 3127	
		AB3: 4G,33 = F20P	
		AB4: 4G,34 = C9HA	
		AB5: 4G,35 = FF50	
		AB6: 4G,36 = 1A81	
		AB7: 4G,37 = 44F3	
		AB8: 4G,38 = 1232	
		AB9: 4G,39 = CC32	
		AB10: 4G,40 = 8907	
		AB11: 4G, 1 = 172U	
		AB12: 4G, 2 = 9982	
		AB13: 4G, 3 = 4C6F	
		AB14: 4G, 4 = 6C27	
		AB15: 4G, 5 = BAA3	
	----	Datenbus:	
		DB4: 4G, 7 = 34H4	--> 3K,15 = 34H4
		DB3: 4G, 8 = F6H8	--> 3K,16 = F6H8
		DB5: 4G, 8 = 133F	--> 3K,14 = 133F
		DB6: 4G,10 = 1298	--> 3K,13 = 1298
		DB2: 4G,12 = A39F	--> 3K,17 = A39F
		DB7: 4G,13 = A35P	--> 3K,12 = A35P
		DB0: 4G,14 = 34P9	--> 3K,19 = 34P9
		DB1: 4G,15 = 0150	--> 3K,18 = 0150
	----	Steuerbus-Signale:	
		/WR: 4H,11 = 5PCF	--> 9J,15 = 5PCF
		/RD: 4H,12 = HUP5	--> 9J,16 = HUP5
		/RFSH: 4H,13 = H*	--> 9J,16 = H*
		/MREQ: 4H,14 = 3U0A	--> 9J,18 = 3U0A
		/M1: 4H,15 = 1277	--> 9J,19 = 1277
		/IORQ: 4H,18 = CP53	--> 9J,17 = CP53

Testprogramm Nr. 2.1 = SVG-Test TastatursteuerungH-Signatur = **2A42**

In diesem Testprogramm werden folgende Operationen ausgeführt:

- Portausgaben auf Adresse A8H und Kontrolle der eingelesenen Daten durch den Port A9H.

Achtung: Tastatur des CGGs abziehen und Prüfstecker (PM12) in X3 des CGGs stecken!

Richtige Signaturen auf dem Rechner-Datenbus zeigen die ordnungsgemäße Funktion der Tastatursteuerung an.

Signaturtakte werden bei /RD, /WR, /IORQ und /MREQ erzeugt.

Tastaturkontrolle mit Prüfstecker:

DB4: 4G, 7 = FC76	---->	10C,42 = A736	--->	10C,38 = 0CA2
		10C,43 = U292		10C,39 = 1266
DB3: 4G, 8 = A03P		10C,44 = 808A		10C,40 = C7A4
		10C,45 = 1UF2		10C,41 = H3U4
DB5: 4G, 9 = 7UC4		10C,46 = P220		
		10C,47 = HH1F		X3: 5A = 6U12
DB6: 4G,10 = 7747		10C,48 = 0HBA		X3: 6A = 8H7F
		10C,49 = P818		X3: 7A = H302
DB2: 4G,12 = 9366				X3: 8A = 9463
				X3: 9A = H579
DB7: 4G,13 = 80FF				X3:10A = 18A4
				X3:11A = 18A4
DB0: 4G,14 = F989				X3:12A = 59U6
				X3:13A = 3312
DB1: 4G,15 = C1C1	---->	22L,33 = H	---->	Kontrolle PIOB
		24K, 1 = L		
		24K,19 = L		

Weitere Ausgänge des SVGs:

KEY: 10C,33 = 5708

LEDC: 10C,34 = H9A3

MOT: 10C,36 = 60C0

COUT: 10C,37 = A59A

Testprogramm Nr. 2.2 = SVG-Test SLOT- und Video-Signale

H-Signatur = 18P4

Folgende Operationen werden durchgeführt:

- Kontrolle der SLOT-Steuerung mit allen Kombinationen
(dabei werden definierte Speicherzugriffe ausgeführt)
- Erzeugen der Signale VRD und VWR

Signaturtakte werden bei /RD, /WR, /IORQ und /MREQ erzeugt.

SLOT-Steuerung:

CAS: 10C,30 = 6F26

SL3: 10C,59 = F7AH

SL1: 10C,60 = 75F1

SL0L: 10C,63 = 6043

SL0H: 10C,67 = 7U61

Video-Steuerung:

```

GDC-RD: 26E, 9 = 7063    ---->    7D,1  = 3F02
                                   7D,2  = PFF8    ---->    7E,1  = PFF8

GDC-WR: 26E,10 = 0811    ---->    7E,12 = 9H7C
                                   7E,13 = 3F02

VIS-RD: 18C,49 = 844U    ---->    7E,4   = 24P6

VIS-WR: 18C,62 = 8H8P    ---->    7E,9   = 9H7C
                                   7E,10  = 24P6

```

Testprogramm Nr. 3 = RAM - TestH-Signatur = 3F94

Geprüft wird der RAM-Bereich (SLOT2) C000H bis FFFFH byteweise durch:

- Schreiben von 55H und Kontrolllesen
- Schreiben von AAH und Kontrolllesen
- Schreiben von fortlaufenden Daten
- Lesen der Daten im Bereich

Signaturtakte werden bei /RD, /WR und /MREQ erzeugt.

Kontrolle der Daten-Signaturen:

DB4: 4G, 7 = 021C	----	4B, 1 = 75U7		
		3B, 1 = 75U7		
DB3: 4G, 8 = 4362	----	4B, 4 = 1PP7	----	4B, 2 = 4413
DB5: 4G, 9 = F0P3		4B, 7 = F1U1	----	4B, 3 = 4925
DB6: 4G,10 = 7663		4B, 9 = F47U	----	4B, 5 = 80A2
DB2: 4G,12 = 01U6		4B,12 = 99U1	----	4B, 6 = 4974
DB7: 4G,13 = 4HU7				4B,10 = F5U9
				4B,11 = 65HP
DB0: 4G,14 = 3F0P	----	3B, 4 = 07UA	----	4B,13 = A18C
		3B, 7 = 68C5	----	4B,14 = 7909
DB1: 4G,15 = U48U		3B, 9 = 4964	----	3B, 2 = FF37
		3B,12 = 3F04	----	3B, 3 = A6U2
				3B, 5 = 1H45
				3B, 6 = FFH2
				3B,10 = BPFC
				3B,11 = 4963
				3B,13 = 0AHA
				3B,14 = 4963
	----	5B, 1 = 03AP		
		5B, 4 = 3U3A		
		5B, 5 = L*		
		5B,16 = 7659	----	5E, 3 = 4AFH
				5E, 1 = 4AFH
				5E, 2 = H

Testprogramm Nr. 4 = ROM 1 - TestH-Signatur = 3U9F

Getestet wird der ROM N020 auf SLOT 0 durch byteweises Einlesen der Adressen 0 bis 7FFFH.

Signaturtakte werden bei /RD und /MREQ gebildet.

Datensignaturen kontrollieren:

DB4: 4G, 7 = 9303		----	CS: 3E,20 = L*
DB3: 4G, 8 = 0730			OE: 3E,22 = L*
DB5: 4G, 9 = C2U4			
DB6: 4G,10 = A8P6			
DB2: 4G,12 = 608P			
DB7: 4G,13 = 6612			
DB0: 4G,14 = A8C1			
DB1: 4G,15 = UC02			

Testprogramm Nr. 5 = ROM 2 - TestH-Signatur = 07U3

Getestet wird der ROM N120 auf SLOT 0 durch byteweises Einlesen der Adressen 8000H bis 9FFFH.

Signaturtakte werden bei /RD und /MREQ gebildet.

Datensignaturen kontrollieren:

DB4: 4G, 7 = 4428		----	CS: 3D,20 = 15PH
DB3: 4G, 8 = CU01			OE: 3D,22 = L*
DB5: 4G, 9 = 5HFF			
DB6: 4G,10 = 6746			
DB2: 4G,12 = FA9A			
DB7: 4G,13 = PCHA			
DB0: 4G,14 = C888			
DB1: 4G,15 = 57FH			

Testprogramm Nr. 6 = CTC - TestH-Signatur = 4A34

Getestet wird CTC-Kanal 0 als Zeitgeber und Kanal 2 als Zähler mit Interrupt (Funktion ist für die Bildung des Tastaturinterrupts notwendig).

Signaturtakte werden bei /RD, /WR, /INT und /MREQ gebildet.

Datensignaturen kontrollieren:

DB4: 4G, 7 = 1416		----	20G,18 = 6374		----	20G, 7 = L
DB3: 4G, 8 = CH69			20G,19 = 611C			20G, 8 = L
DB5: 4G, 9 = 30H2			20G, 6 = PFAH			20G, 9 = 5A9C
DB6: 4G,10 = 9C48			20G,10 = L*			
DB2: 4G,12 = 754H			20G,12 = 6F60		----	20G,13 = H
DB7: 4G,13 = 2HP5						20G,11 = 6F60
DB0: 4G,14 = A1A5						
DB1: 4G,15 = 27UH						

Falsche H-Signatur:

Wird die H-Signatur = CU9P verwendet, so bildet der CTC-Schaltkreis keinen Interrupt. Dieser Zustand kann durch Zeitprobleme bei der CS-Bildung im SVG im Zusammenhang mit dem PM19 auftreten. Es ist bei normalem Rechneranlauf die Tastaturfunktion (Interrupt-Impulse alle 20 ms an 20G,12) mit dem Oszilloskopen zu überprüfen. Wird von einer angesteckten Tastatur ein beliebiges Zeichen bei Tastendruck erkannt, so ist die Tastatur-Interruptbildung in Ordnung.

Fehlersuche auf der DSE-Leiterplatte

Beachte: Bei Systembus- oder Adreßbus-Konflikten auf der LP DSE (z.B., Schluß eines Signales gegen Masse) kann der Prüfrechner PM19 nicht ordnungsgemäß arbeiten. Eine Fehlersuche ist dann z.B. im Freilaufzustand der CPU des CGGs möglich.

Mit dem Testprogramm 1 ist eine vollständige Kontrolle der Rechnerbus-signale auf der DSE-Leiterplatte möglich (siehe Signaturlisten von TP1).

Zusätzlich kann die CS-Signalbildung kontrolliert werden:

LAN:	25L, 7 = 1416		--->	25O, 8 = 3H24
AUDIO:	25L, 9 = 2730			
SIO:	25L,10 = 99PH			
PIO:	25L,11 = 5AH2			
CTC:	25L,13 = U450			
KRFD:	25L,14 = 69H0			
FDC:	25L,15 = 0220			

* L- oder H-Signatur mit blinkender Daten-LED an der Signatursonde

1.13. Fehlersuche im Bildteil (VIS)

1.13.1. Allgemeines

Der Video-Interface-Schaltkreis VIS D47 /18C/ enthält die Baugruppen der Bildschirmansteuerung, die für die Pixeloperationen während des Bildaufbaus notwendig sind, sowie die Schaltungsteile zur Ansteuerung des Zeichengenerators und der dynamischen RAM-Schaltkreise des BildwiederholSpeichers.

Der VIS unterstützt besonders die Betriebsart **Mixed Mode** des GDCs, ist aber auch für die Anwendung in der Betriebsart **Graphics Mode** geeignet. Aufgrund der speziellen Bildadreßbehandlung des GDCs im **Character Mode** ist die Verwendung des VIS in dieser Betriebsart nicht möglich.

In der gemischten Betriebsart werden die Ausgänge A16 und A17 des GDCs zur Steuerung der Bildaufbereitung durch den VIS benutzt. Aus diesen Signalen werden die Informationen über das Rücksetzen des Zeilenzählers, das Blinken, die GDC-Betriebsart (Grafik- oder Text-Mode) sowie die Cursorposition gewonnen. Aus diesem Grund ist die Größe des Bildspeichers, da nur 16 Adreßleitungen zur Verfügung stehen, auf 64 kWörter begrenzt. Des weiteren enthält der VIS eine Schaltung zur automatischen Erkennung und Einstellung des ZOOM-Faktors.

Um die Darstellungsmöglichkeiten bei beschränkter BildwiederholSpeichergröße zu erweitern, wurden Möglichkeiten geschaffen, den 64kx16 Bit großen Video-RAM in 2 Ebenen zu 8 Bit oder vier Ebenen zu je 4 Bit aufzuteilen. Mit dieser Aufteilung des BildwiederholSpeichers ist es möglich, den Bildschirm in 320x200 (250) Pixel in 16 Farben oder in 640x200 (250) Pixel in 4 von 16 Farben je Pixel aufzuteilen. Für die letztgenannte Betriebsart sind im VIS vier Farbregister vorgesehen. Das 5. Farbregister dient zur Speicherung der Bildrandfarbe in allen Betriebsarten des VIS. Da in den genannten Betriebsarten aufgrund der nichtlinearen Speicheraufteilung die Verwendung der leistungsfähigen Grafikbefehle des GDCs zur Zeichnung einfacher Figuren wie Linien, Kreise und Rechtecke nicht oder nur bedingt möglich ist, kann im Mode 0 der VIS, gesteuert durch das Image-Mode-Flag, in einen Grafikmode umgeschaltet werden. In diesem Mode besteht der BildwiederholSpeicher aus einer linear aufgeteilten Bildebene, so daß nur eine einfarbige Grafikdarstellung möglich ist. Hier können die Vorteile des GDCs (gleichzeitige Darstellung von Text und Grafik; schnelle, leistungsfähige Grafikbefehle) voll genutzt werden.

Im Textmode wird der 16 Bit breite BildwiederholSpeicher ebenfalls in zwei Ebenen aufgeteilt. Die untere Ebene, Bit 0 bis Bit 7, dient der Speicherung des Zeichencodes und die obere Ebene, Bit 8 bis Bit 15, wird zur Speicherung des Zeichenattributes verwendet. Der Zeichencode wird gemeinsam mit dem aktuellen Stand des Zeilenzählers zur Adressierung des Zeichengenerators verwendet. Zum Ausgleich der Zugriffszeit des Zeichengenerators muß das Zeichenattribut im VIS zwischengespeichert werden, um dann gleichzeitig mit dem Bitmuster des Zeichens für Schieberegister und Attributlogik zur Verfügung zu stehen. Die Übernahme der Bildinformation in den VIS wurde aus diesem Grund in einer Pipeline-Architektur konzipiert. Durch diese Maßnahme werden außerdem die Anforderungen an die Zugriffszeiten des BildwiederholSpeichers und des Zeichengenerators in Grenzen gehalten (BildwiederholSpeicher max. 450 ns, Zeichengenerator max. 200 ns).

Zur Minimierung des Hardwareaufwandes wurden im VIS außerdem die Ansteuerlogik des Zeichengenerators einschließlich eines 4-Bit-Zeichenzählers sowie die Logik zur Erzeugung der fernsehgerechten Austast- und Synchronisationssignale untergebracht.

1.13.2. Betriebsarten des VIS

Die Betriebsarten des VIS können durch zwei Betriebsartenregister eingestellt werden. Im Betriebsartenregister 0 werden die grundsätzlichen Betriebsarten wie Charakter- und Grafikmode sowie die Art des verwendeten Bildausgabegerätes eingestellt. Der Inhalt des Betriebsartenregisters 1 bestimmt die Bildauflösung (320 oder 640 Bildpunkte pro Bildzeile), die Hintergrundintensität sowie den Zeichengeneratorzugriff.

Betriebsartenregister 0

In diesem Betriebsartenregister werden die 3 grundsätzlichen Betriebsarten

- Mode 0 Charakter-/Grafikmode,
- Mode 1 hochauflösender Grafikmode,
- Mode 2 vielfarbiger Grafikmode

mit den Bits M0 und M1 eingestellt. Sind diese beiden Bits gesetzt, wird eine Betriebsart eingenommen, die eine Ansteuerung eines einfachen SW-Monitors gestattet, dabei sind die Farbausgänge des VIS ausgeschaltet, und die Information kann nur über den Ausgang MON entnommen werden. Betriebsartenbit 2 legt fest, ob die Ausgabe der Videosignale auf einen Farbmonitor oder auf einen handelsüblichen Farbfernsehempfänger erfolgt.

B7	B6	B5	B4	B3	B2	B1	B0	
X	0	0	0	X	M2	M1	M0	
					0	0	0	-----> Mode 0
					0	0	1	-----> Mode 1 SW- oder Farbfernsehgerät
					0	1	0	-----> Mode 2
					0	1	1	-----> Mode 0 SW-Monitor
					1	0	0	-----> Mode 0
					1	0	1	-----> Mode 1 Farbmonitor
					1	1	0	-----> Mode 2
					1	1	1	-----> nicht erlaubt

Bild 1a Betriebsartenregister 0

In den Monitorbetriebsarten (M2 = 1 oder M0 = M1 = 1) werden die Signale HSYNC und VSYNC des GDCs nur über ein EXOR verknüpft am SYNC-Ausgang des VIS ausgegeben. In diesen Betriebsarten muß das Farbbregister für die Randfarbe zur Unterdrückung des Strahlrücklaufes auf die Farbe schwarz eingestellt werden. Für die Fernsehmodi wird, ausgelöst von HSYNC und VSYNC, ein normgerechtes SYNC-Signal sowie die dazugehörigen Austastsignale im VIS erzeugt.

Mode 0

Die Betriebsart Mode 0 ist die Hauptbetriebsart des VIS. In dieser Betriebsart können alle Vorzüge, die der Grafik-Display-Controller U82720 besitzt, voll genutzt werden. Sie ist direkt auf die Misch-Betriebsart des GDCs, die eine gleichzeitige Darstellung von Zeichen und grafischen Bildelementen ermöglicht, zugeschnitten.

Zur Steuerung des VIS werden in dieser Betriebsart an den Ausgängen A16 und A17 des GDCs die Steuersignale

- RESET Zeilenzähler (A16),
- Blinktakt (A16),
- Image-Mode-Flag (A17) und
- Cursor-Flag (A17)

ausgegeben.

Vom VIS werden diese Signale ausgewertet und bewirken eine automatische Ausführung der vorgegebenen Funktion. Ist das Image-Mode-Flag gesetzt, arbeitet der VIS für die folgende Zeile im Grafik-Mode; ist dieses Flag rückgesetzt, so wird die Zeile im Charakter-Mode ausgegeben.

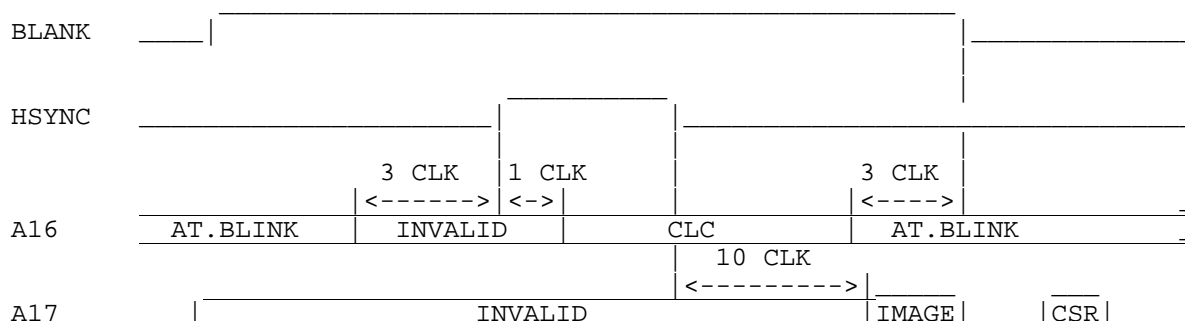


Bild 2 Zeitverhalten der Signale A16 und A17 des GDCs in der Misch-Betriebsart (CLC - Clear Line Counter, CSR - Cursor)

Charakter-Mode

Arbeitet der VIS im Charakter-Mode, so sind die 16 Bits des Display-Wortes in 8 Bits Zeichencode und 8 Bits Zeichenattribut aufgeteilt. Die 8 Bits des Zeichencodes adressieren gemeinsam mit den niederwertigen 3 Bits eines 4-Bit-Zeichenzählers den Zeichengenerator. Das Bitmuster aus dem Zeichengenerator wird in ein 8-Bit-Schieberegister geladen und für die Darstellung auf dem Bildschirm vom Bit 0 beginnend seriell ausgegeben. Die 8 Bits des Zeichenattributes werden in das Attributregister geladen und verbleiben dort so lange, bis das gesamte Bitmuster des Zeichens ausgegeben wurde. Bit 8 bis Bit 11 des Display-Wortes bestimmen die Zeichenfarbe, d.h., jedes gesetzte Bit des Bitmusters wird in Farbe ausgegeben. Bit 12 ist das sogenannte Blinkbit. Ist dieses Bit gesetzt, so ist für das entsprechende Zeichen das Blinken freigegeben. Das eigentliche Blinken wird dann von A16 des GDCs gesteuert. Ist A16 = High, so wird das Zeichen normal ausgegeben, ist A16 = Low, dann wird nur die Hintergrundfarbe ausgegeben. Die Blinkfrequenz wird durch das OCHAR-Kommando im GDC festgelegt. Bit 13 bis Bit 15 legen die Hintergrundfarbe fest.

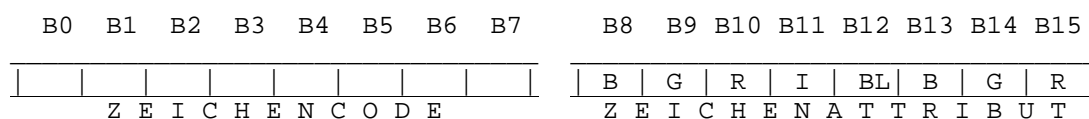


Bild 3 Codierung des Display-Wortes im Charakter-Mode

Da hierfür nur drei Bits zur Verfügung stehen, sind nur acht der sechzehn möglichen Hintergrundfarben einstellbar. Das fehlende Intensitätsbit kann im Betriebsartenregister 1 für das gesamte Bild eingestellt werden. Damit ist es möglich, die acht hellen oder die acht dunklen Farben für den Hintergrund auszuwählen.

Ein Display-Zyklus des GDCs ist im Charakter-Mode zwei Taktzyklen lang und beträgt bei einer Bildpunkttahtfrequenz von 15 MHz etwa 530 ns. Um die Bildinformation auf den Bildschirm zu bringen, muß in dieser Zeit einmal auf den Bildspeicher und einmal auf den Zeichengenerator zugegriffen werden.

Daraus ergibt sich eine Zugriffszeit für Video-RAM und Zeichengenerator von jeweils 200 ns. Um auch langsamere Speicherschaltkreise einsetzen zu können, wurde die Eingabe der Bilddaten in den VIS nach dem Pipeline-Prinzip ausgeführt. Dadurch können die Speicherzugriffe nacheinander ausgeführt werden. Im ersten Display-Zyklus wird auf die Bilddaten Zeichencode und Zeichenattribut zugegriffen. Am Ende dieses Zyklus werden der Zeichencode und der aktuelle Stand des Zeichenzählers im Adreßlatch des Zeichengenerators gespeichert, und das Zeichenattribut wird in einem 8-Bit-Register des VIS abgelegt. Nach Abwarten der Zugriffszeit des Zeichengenerators kann das Bitmuster des Zeichens in das 8-Bit-Schieberegister geladen werden. Gleichzeitig wird das Zeichenattribut in das Attributregister umgeladen. In der Zwischenzeit wird schon der nächste Display-Zyklus ausgeführt. Gleichzeitig mit dem Einlesen des Display-Wortes wird A17 durch den VIS getestet, ob sich an dieser Stelle der Cursor befindet. Ist dies der Fall, so wird das Zeichen, auf dem sich der Cursor befindet, invers dargestellt.

Display-Zyklus	1	2	3	4	.
1. Zeichen	Zeichencode	Bitmuster	Ausgabe		
2. Zeichen		Zeichencode	Bitmuster	Ausgabe	
3. Zeichen			Zeichencode	Bitmuster	Aus.
4. Zeichen				Zeichencode	Bit.

Bild 4 VIS-Pipeline

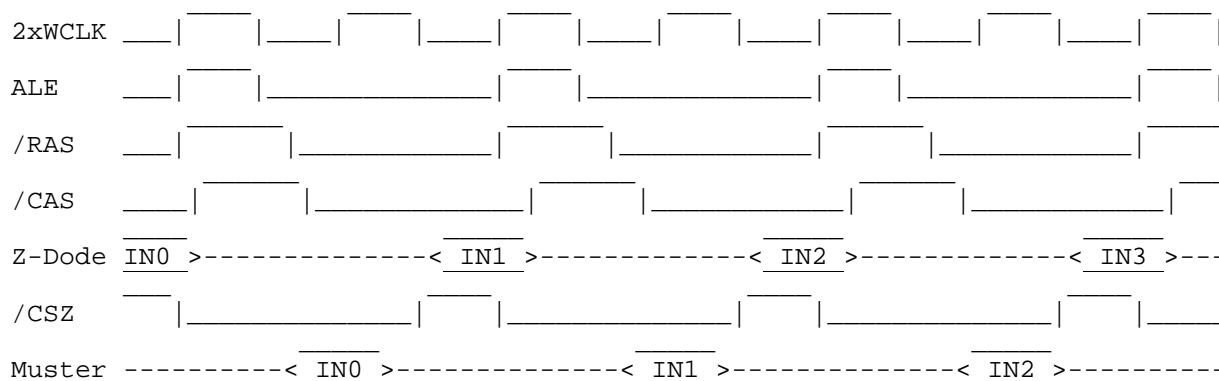


Bild 5 Zeitverhalten im Charakter-Mode

Grafik-Mode

Der Grafik-Mode wird vom VIS durch ein gesetztes Image-Mode-Flag vom GDC angezeigt. Vom VIS wird dieses Flag zehn Takte nach der fallenden Flanke von HSYNC abgetastet (siehe Bild 2) und anschließend für die Dauer einer Bildzeile abgespeichert. Ist dieses Flag gesetzt, wird der VIS auf Grafikausgabe umgeschaltet und die Daten des Video-RAMs werden als Bitmuster verarbeitet. Alle 16 Bits des Display-Wortes werden parallel in ein 16-Bit-Schieberegister geladen und von Bit 0 beginnend seriell ausgegeben.

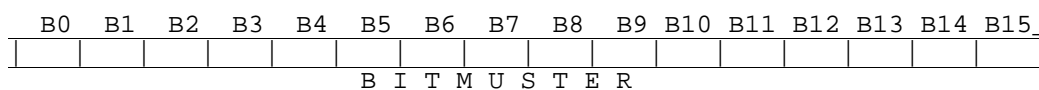


Bild 6 Codierung des Display-Wortes im Mode 0 (Grafik-Mode)

Da in dieser Betriebsart die Bildpunktfrequenz gegenüber dem Charakter-Mode nicht verändert wird, nimmt die serielle Ausgabe die doppelte Zeit in Anspruch. Der GDC berücksichtigt das, indem er auf eine Speicherzelle des Video-RAMs zweimal zugreift. Vom VIS wird in diesem Fall nur der erste Speicherzugriff übernommen, der zweite Zugriff wird ignoriert.

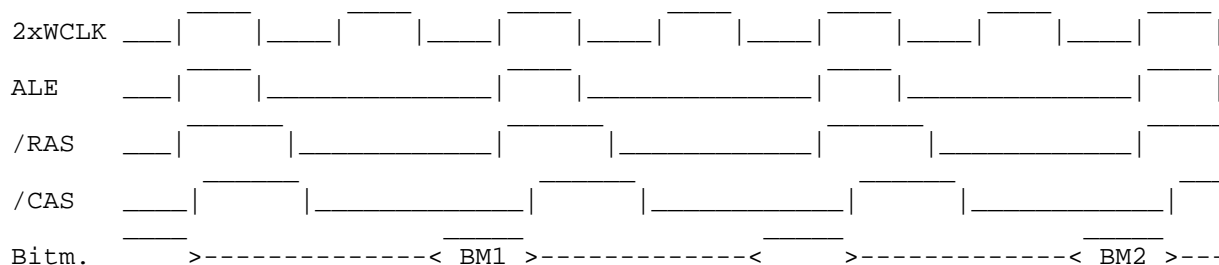


Bild 5 Zeitverhalten im Grafik-Mode 0

Im Grafik-Mode 0 wird der Bildwiederholtspeicher vom VIS wie ein lineares 16-Bit-Speicherfeld genutzt, so daß die leistungsfähigen Routinen des GDCs verwendet werden können. Da in dieser Betriebsart nur eine Bildebene existiert, kann nur eine monochrome Darstellung auf dem Bildschirm erfolgen. Mit dem Farbpalettenregister 1 wird die Hintergrundfarbe und mit Farbpalettenregister 2 die Zeichenfarbe der Darstellung eingestellt. Diese Betriebsart kann im normalen (40 Zeichen oder 320 Bildpunkte pro Zeile) oder im hochauflösenden Modus (80 Zeichen oder 640 Bildpunkte pro Zeile) verwendet werden.

Mode 1

Der Mode 1 ist ein reiner Grafik-Mode. Hier wird das 16-Bit-Grafik-Muster in zwei 8-Bit-Schieberegister eingeladen. Diese beiden Schieberegister werden gleichzeitig seriell ausgelesen und stellen eine 2-Bit-Adresse, für die vier im VIS enthaltenen Farbpalettenregister, bereit. Damit kann für jeden Bildpunkt eines der vier Farbpalettenregister ausgelesen werden, in denen jeweils eine der 16 möglichen Farben abgelegt sind. In einem Bild können so 4 von 16 Farben dargestellt werden. Dieser Mode ist besonders für die hochauflösende Betriebsart geeignet, kann aber auch in der normalen Betriebsart verwendet werden.

Pixelnummer	1	2	3	4	5	6	7	8
Adresse	B8	B9	B10	B11	B12	B13	B14	B15
Farbpalettenregister	B0	B1	B2	B3	B4	B5	B6	B7

Bild 8 Codierung des Display-Wortes im Mode 1

Der GDC muß bei Verwendung dieses Modes im Charakter-Mode arbeiten, wobei im OCHAR-Kommando der Parameter für die Anzahl der Zeilen pro Zeichen auf 0 gesetzt werden muß.

Aufgrund der nichtlinearen Aufteilung des Bildwiederholtspeichers durch den VIS sind die Grafik-Routinen des GDCs in diesem Mode nicht nutzbar.

Mode 2

Der Mode 2 ist, wie der Mode 1, ein reiner Grafik-Mode. Hier wird das 16-Bit-Display-Wort in vier 4-Bit-Schieberegister eingeladen, die dann gleichzeitig seriell ausgelesen werden. Jedes der vier Schieberegister ist für

eine Farbebene zuständig. Von einem Display-Wort werden in diesem Mode nur vier Bildpunkte angesteuert, im Gegensatz zum Mode 1, bei dem 8 Bildpunkte von einem Display-Wort angesteuert werden. Innerhalb der VIS wird dafür die Bildpunkttaktfrequenz auf die Hälfte verringert. Aus diesem Grunde beträgt die Maximalauflösung in diesem Mode nur 320 Bildpunkte pro Zeile, wobei aber jeder Bildpunkt in einer der 16 Farben dargestellt werden kann.

Pixelnummer	1	2	3	4
Intensität	B12	B13	B14	B15
Rot	B8	B9	B10	B11
Grün	B4	B5	B6	B7
Blau	B0	B1	B2	B3

Bild 9 Codierung des Display-Wortes im Mode 2

Auch in diesem Mode können die Grafikbefehle des GDCs nicht genutzt werden.

Betriebsartenregister 1

Mit diesem Betriebsartenregister können weitere Betriebsarten des VIS, wie Lesen und Schreiben des Zeichengenerators, hoch- oder niedrigauflösender Bildmode, Zu- und Abschalten des Zeichengenerators sowie die Hintergrundhelligkeit im Charakter-Mode eingestellt werden.

B7	B6	B5	B4	B3	B2	B1	B0	
0	0	0	1	I	ZE	4/8	Z	
							0	-----> interner Zeichengeneratorzugriff
							1	-----> externer Zeichengeneratorzugriff
							0	-----> 80-Zeichen-Mode (640 Punkte/Zeile)
							1	-----> 40-Zeichen-Mode (320 Punkte/Zeile)
							0	-----> Zeichengenerator ein
							1	-----> Zeichengenerator aus
							0	-----> dunkle Hintergrundfarben
							1	-----> helle Hintergrundfarben

Bild 10 Betriebsartenregister

Bit 0 dieses Registers legt den Zeichengeneratorzugriff fest. Ist dieses Bit = 0, so besitzt der VIS den Zugriff auf den Zeichengenerator, ist dieses Bit = 1, kann die CPU auf den Zeichengenerator zugreifen. Um während des CPU-Zugriffs auf den Zeichengenerator Bildstörungen zu vermeiden, wird, solange Bit 0 = 1 ist, auf dem gesamten Bildschirm die Randfarbe eingeblendet.

Bit 1 bestimmt die horizontale Auflösung der Darstellung auf dem Bildschirm. Ist dieses Bit = 0, können auf einer Zeile des Bildschirms 640 Bildpunkte (80 Zeichen pro Zeile) dargestellt werden. Im anderen Fall (Bit 1 = 1) werden auf einer Zeile nur 320 Bildpunkte (40 Zeichen pro Zeile) dargestellt.

Bit 2 dient der Abschaltung des Zeichengenerators (Bit 2 = 1). Die Abschaltung des Zeichengenerators ist dann vorteilhaft, wenn in der hochauflösenden Grafikdarstellung mehr als vier Farben verwendet werden sollen.

Bit 3 legt die Helligkeit des Hintergrundes im Charakter-Mode fest. Ist

dieses Bit = 0, dann können nur die acht dunklen Farben für den Zeichenhintergrund eingestellt werden, mit Bit 3 = 1 wird auf die entsprechenden hellen Hintergrundfarben umgestellt.

Zeichengeneratorzugriff

Um den Inhalt des Zeichengenerators verändern zu können, muß im Betriebsartenregister 1 das Bit 0 gesetzt werden. Damit wird die Ausgabe des Bildinhaltes auf den Bildschirm sofort unterbrochen. Auf dem gesamten Bildschirm wird die im Randfarbenregister enthaltene Farbe ausgegeben. Dadurch wird eine gegenseitige Beeinflussung von VIS-Zugriff und CPU-Zugriff auf den Zeichengenerator vermieden. Gleichzeitig wird die Spaltenadresauswahlleitung (/CAS) des BildwiederholSpeichers auf High-Pegel gelegt, so daß kein Speicherzugriff auf diesen erfolgen kann. Da die Zeilenadresauswahlleitung (/RAS) nicht beeinflußt wird, kann ein ordnungsgemäßer Speicherrefresh stattfinden.

Nachdem der VIS in externen Zeichengeneratorzugriff umgeschaltet wurde, muß der Zeichencode des zu verändernden Zeichens in das Zeichenadreßregister eingetragen werden. Dabei wird der im VIS enthaltene Zeilenzähler, der die Adreßbits 0 bis 2 für das Zeichen bereitstellt, zurückgesetzt. Anschließend können bis zu acht Bytes des Bitmusters des entsprechenden Zeichens in den Zeichengenerator eingetragen oder aus diesem ausgelesen werden. Dabei wird im Anschluß eines Zugriffs der Zeilenzähler automatisch inkrementiert, so daß die acht Bitmuster ohne erneute Ausgabe einer Zeichenadresse hintereinander geschrieben oder gelesen werden können. Für den Zugriff auf das nächste oder irgend ein anderes Zeichen muß der Zeichencode als Zeichengrundadresse neu ausgegeben werden.

Bei der Erstellung der Bitmuster für die Zeichen muß darauf geachtet werden, daß die Bitmuster, beginnend bei Bit 0, vom VIS seriell zum Bildschirm ausgegeben werden (siehe Bild 11).

ZEICHENCODE								LC			BITMUSTER							
A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	B0	B1	B2	B3	B4	B5	B6	B7
0	1	0	0	0	0	1	0	0	0	0	1	1	1	1	1	0	0	0
0	1	0	0	0	0	1	0	0	0	1	0	1	0	0	1	1	0	0
0	1	0	0	0	0	1	0	0	1	0	0	1	1	0	0	1	1	0
0	1	0	0	0	0	1	0	0	1	1	0	1	1	1	1	0	0	0
0	1	0	0	0	0	1	0	1	0	0	0	1	0	0	1	1	0	0
0	1	0	0	0	0	1	0	1	0	1	0	1	0	0	1	1	0	0
0	1	0	0	0	0	1	0	1	1	0	1	1	1	1	1	0	0	0
0	1	0	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0

Bild 11 Zeichengeneratoradressierung (Beispiel: Zeichen B)

Bilddarstellung

Mit Bit 1 des Betriebsartenregisters 1 wird die Darstellung von 320 oder 640 Bildpunkten pro Zeile gewählt. Durch Setzen dieser Bits wird die Taktfrequenz innerhalb des VIS auf den halben Wert geteilt, so daß alle Ausgabevorgänge in der doppelten Zeit ausgeführt werden. Da auch der GDC, der vom VIS mit dem Takt 2xWCLK versorgt wird, nun ebenfalls nur die halbe Taktfrequenz erhält, sind der SYNC-Generator sowie alle horizontalen Parameter des GDCs neu zu programmieren. Diese Umprogrammierung muß bei jeder Änderung der Bilddarstellung ausgeführt werden.

Abschaltung des Zeichengenerators

Durch Setzen von Bit 2 im Betriebsartenregister 1 wird der Zugriff des VIS auf den Zeichengenerator verhindert. Das im Bildwiederholungspeicher stehende Bitmuster (B0 bis B7) dient in diesem Fall nicht zur Adressierung des Zeichens im Zeichengenerator, sondern wird direkt auf den Bildschirm ausgegeben. Das Zeichenattribut wird in dieser Betriebsart wie im Charakter-Mode verwendet. Der GDC muß weiterhin im Charakter-Mode arbeiten, mit dem Unterschied, daß die Zeilenzahl für ein Zeichen auf eine Zeile festgelegt wird. Damit wird ein weiterer Grafik-Mode (Mode 3) eingestellt, bei dem eine Punktfolge von 8 Bildpunkten in zwei Farben dargestellt werden kann. In diesem Mode ist es möglich, auch in der hochauflösenden Bilddarstellung, 16 Farben gleichzeitig auf einem Bildschirm darzustellen (wie Mode 2). Einschränkend wirkt in diesem Mode, daß in einem Bildfeld von 8x1 Bildpunkten nur zwei verschiedene Farben, eine von 16 Vordergrund- und eine von 8 Hintergrundfarben (wie im Charakter-Mode 0), eingestellt werden können. Das wirkt sich dann besonders nachteilig aus, wenn sich mehrere verschiedenfarbige Linien (Flächen) in einem Bildfeld begegnen, da dann nur zwei Linien (Flächen) in der richtigen Farbe dargestellt werden können.

B0	B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11	B12	B13	B14	B15
								B	G	R	I	BL	B	G	R
B I T M U S T E R								Z E I C H E N A T T R I B U T							

Bild 12 Codierung des Display-Wortes im Mode 3

Hintergrundhelligkeit

Das Bit 3 des Betriebsartenregisters 1 bestimmt im Charakter-Mode 0 und im Mode 3 die Helligkeit des Hintergrundes. Da im Zeichenattribut dieser beiden Betriebsarten auf das Helligkeitsbit des Hintergrundes zugunsten eines Blinkbits verzichtet wurde (siehe auch Bild 3 und Bild 12), ist das Helligkeitsbit in diesem Betriebsartenregister untergebracht. Das hat den Nachteil, daß nicht für jedes Zeichen die Hintergrundhelligkeit eingestellt werden kann, sondern nur für alle Zeichen gemeinsam. Dieser Nachteil wurde bewußt in Kauf genommen, da auf das Blinkbit nicht verzichtet werden konnte und durch Inversdarstellung von Zeichen dieser Nachteil teilweise kompensiert werden kann.

Farbregister

Der VIS enthält fünf 4-Bit-Farbregister, die in den Betriebsarten unterschiedlich benutzt werden. Die Adresse ist in den Datenbits B4 bis B6 enthalten. Die Datenbits B0 bis B3 enthalten den Farbwert.

B7	B6	B5	B4	B3	B2	B1	B0	
X	0	1	0	I	R	G	B	Farbregister 0 (Randfarbe)
X	0	1	1	I	R	G	B	Farbregister 1
X	1	0	0	I	R	G	B	Farbregister 2
X	1	0	1	I	R	G	B	Farbregister 3
X	1	1	0	I	R	G	B	Farbregister 4

Bild 13 Farbregister

Farbregister 0 enthält für alle Betriebsarten die Randfarbe. Um Rücklaufstreifen und Randeffekte bei Monitorbetrieb zu vermeiden, ist in diesem Fall die Randfarbe 'schwarz' zu programmieren.

Farbregister 1 wird im Grafik-Mode 0 und im Mode 1 verwendet. Im Grafik-Mode 0 enthält dieses Register die Hintergrundfarbe der Darstellung. Im Mode 1 wird in diesem Register eine Farbe der Farbpalette, die ebenfalls meist als Hintergrundfarbe verwendet wird, gespeichert.

Farbregister 2 wird im Grafik-Mode 0 und im Mode 1 verwendet. Im Grafik-Mode 0 enthält dieses Register die Vordergrundfarbe der Darstellung. Im Mode 1 enthält dieses Register eine Farbe der Farbpalette.

Farbregister 3 wird nur im Mode 1 verwendet und enthält eine Farbe der Farbpalette.

Farbregister 4 wird nur im Mode 1 verwendet und enthält eine Farbe der Farbpalette.

1.13.3. Einstellung des ZOOM-Faktors

Ein Parameter im ZOOM-Kommando des GDCs ermöglicht eine Vergrößerung der Darstellung durch Vergrößerung der Punktgröße auf dem Bildschirm. In vertikaler Richtung wird dies durch Wiederholung der gleichen Bildzeile erreicht. Die Anzahl der Wiederholungen ist vom Parameter des Bildvergrößerungsfaktors abhängig. Gleichfalls in Abhängigkeit von diesem Parameter wird die Vergrößerung in horizontaler Richtung mit einem 'gedehnten' Display-Wortzyklus und Darstellung von weniger Worten je Zeile erreicht.

Die Taktschaltung des Schieberegisters im VIS wird nun automatisch so gesteuert, das eine Schiebetaktfrequenz entsprechend dem Vergrößerungsfaktor erzeugt wird. Dazu wird jeder erste Display-Wortzyklus eines Bildes durch den VIS ausgemessen und der Vergrößerungsfaktor errechnet.

Im Charakter-Mode wird die Zählfrequenz des Zeilenzählers ebenfalls entsprechend dem Vergrößerungsfaktor eingestellt.

1.13.4. Mikroprozessor-Interface

Für den Zugriff auf die Betriebsartenregister und die Farbregister des VIS sowie auf die Zeichenadresse und die Zeichengeneratordaten werden drei Adressen des System-Mikroprozessors belegt. Die Unterscheidung zwischen Betriebsartenregister und Farbregister erfolgt mit den Datenbits B6 bis B4 des Datenbytes, das in die Register geschrieben werden soll. Im zugehörigen Register werden nun die Datenbits B3 bis B0 gespeichert. Mit den Adreßbits A1 bis A0 wird zwischen dem Zugriff auf den Zeichengenerator und die VIS-Register unterschieden.

Im nachfolgenden Bild 14 ist der Aufbau des Mikrorechner-Businterfaces dargestellt.

A1	A0	/WR	/RD	Funktion
0	0	1	0	Lesen Zeichengeneratorinhalt
0	0	0	1	Schreiben Zeichengeneratorinhalt
0	1	0	1	Schreiben Betriebsarten- u. Farbregister
1	0	0	1	Schreiben Zeichenadresse
Alle anderen Bitkombinationen haben keine Wirkung				

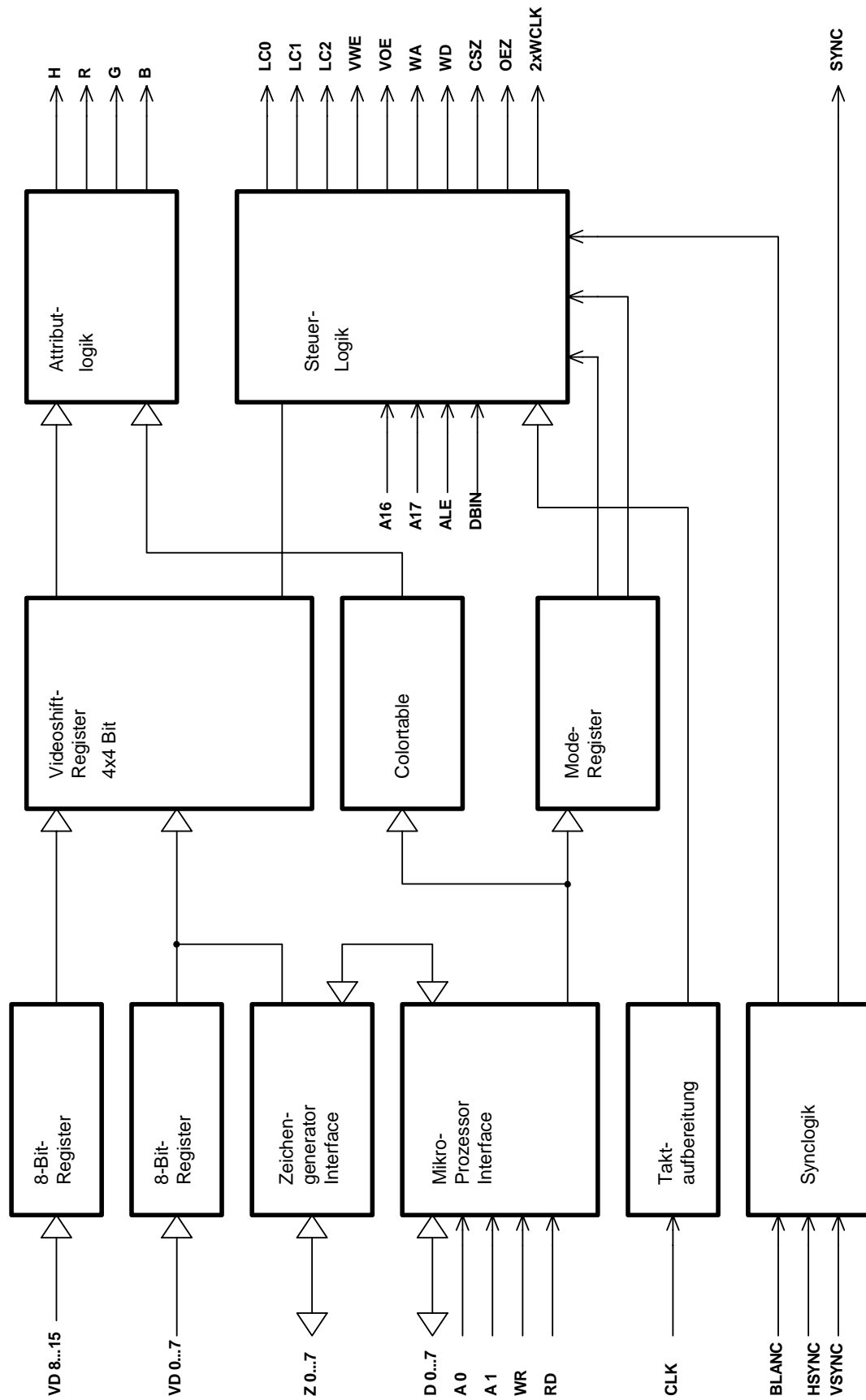
Bild 14 Mikorprozessor-Businterface

Es ist zu beachten, daß die VIS-Register nicht gelesen werden können.

1.13.5. Betriebsartenübersicht

16-Bit-Display-Wort																Betriebsart	
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15		
Zeichencode								B	G	R	I	BL	B	G	R	Charakter-Mode 0 <u>M O D E 0</u>	
								Vordergr.				Bl i n k	Hintergr				
Bit-Map-Grafik																Grafik-Mode 0	
1.Bildebene								2.Bildebene								<u>M O D E 1</u>	
1.Bildebene				2.Bildebene				3.Bildebene				4.Bildebene				<u>M O D E 2</u>	
Blau				Grün				Rot				Intensität					
Bitmuster								B	G	R	I	BL	B	G	R	<u>M O D E 3</u>	

1.13.6. Übersichtsschaltplan des VIS (U 1520 DC 008)



1.13.8 Funktionsbeschreibung der Anschlüsse des Schaltkreises

Symbol	Art	Benennung und Funktionskurzbeschreibung
D0-D7	IN/OUT	Bidirektionaler Mikroprozessor-Datenbus des VIS; Bussteuerung erfolgt mit den Signalen /WR für Eingabe und /RD für Ausgabe.
A0,A1	IN	Auswahl der Adresse zur Unterscheidung von Kommandos und Lese-/Schreibdaten.
/WR	IN	Write-Signal zum Einlesen von Mikroprozessor-Daten in den VIS.
/RD	IN	Read-Signal zum Einlesen von VIS-Daten in den System-Mikroprozessor.
CLK	IN	Takteingang
RESET	IN	Rücksetzeingang
ZOOM	IN	Sperrsignal für ZOOM-Steuerung.
VD0-VD15	IN	Video-Datenbus; Steuerung zum Einlesen der Bilddaten in VIS-Register erfolgt durch das Signal ALE.
Z0-Z7	IN/OUT	Bidirektionaler Zeichengenerator-Datenbus; Steuerung erfolgt durch das Kommando des System-Mikroprozessors sowie den Signalen /WR und /RD oder durch den GDC mit dem Signal ALE.
A16	IN	GDC-Signal; Attributblinksignal und Rücksetzen des Zeilenzählers.
A17	IN	GDC-Signal; Kursoreingang und Flaganzeige für Bildbetriebsart.
/DBIN	IN	GDC-Signal; Strobosignal zum Einlesen der Daten des Bildwiederholerspeichers in den GDC.
ALE	IN	GDC-Signal; Speicherzyklussignal für Zeilenadreseübernahme (/RAS-Signal) dynamischer RAMs oder Demultiplexsignal (Adress Latch Enable) für den Adreß-/Datenbus des Bildwiederholerspeichers.
BLANK	IN	Video-Austastsignal; wird für Anzeige der Randfarbe verwendet.
VSYN	IN	Vertikalsynchronisationssignal zur Erzeugung des Bildrücklaufs auf dem Display.
HSYN	IN	Horizontalsynchronisationssignal zur Erzeugung des Zeilenrücklaufs auf dem Display.
/OEZ	IN	Ausgangssteuersignal für den Zeichengenerator.
/CSZ	OUT	Adreß-Latch-Steuersignal für den Zeichengenerator.
/WD	OUT	Write-Signal für das Einlesen von Bitmustern in den Zeichengenerator.

Symbol	Art	Benennung und Funktionskurzbeschreibung
WA	OUT	Write-Signal für das Einlesen des Zeichencodes in das Zeichenadreßregister.
LC0	OUT	Zeilenzähler Adreßbit 0
LC1	OUT	Zeilenzähler Adreßbit 1
LC2	OUT	Zeilenzähler Adreßbit 2
/VOE	OUT	Ausgangssteuersignal für den Bildwiederholtspeicher.
VWE	OUT	Write-Signal für das Einlesen von Bilddaten des GDCs in den Bildwiederholtspeicher; wird aus /DBIN erzeugt.
2xWCLK	OUT	Taktausgang für GDC-Takt; je nach Betriebsart 1/4 oder 1/8 der CLK-Frequenz.
/SYNC	OUT	Ausgang für komplettes Synchronisationssignal.
/MON	OUT	Videoausgang zur Ansteuerung eines S/W-Monitors.
/R	OUT	Videoausgang - ROT -
/G	OUT	Videoausgang - GRÜN -
/B	OUT	Videoausgang - BLAU -
/H	OUT	Videoausgang - HELLLIGKEIT -
UDD	-	Betriebsspannungsanschluß +5V
USS	-	Masseanschluß

2. DISKETTENSPEICHEREINHEIT robotron K 1505 (DSE)

2.1. Allgemeines

Aufgrund der Spezifik der einzelnen Baueinheiten wurden hier, im Gegensatz zum Abschnitt 1, die Unterabschnitte, wie Prüfunterlagen, Prüfmittel, Funktionsbeschreibung usw. den einzelnen Baueinheiten zugeordnet.

2.2. Demontage

2.2.1. Vorbereitung

- Gerät vom Netz trennen, Netzstecker ziehen.
- CGG an der Vorderseite abziehen.
- Alle Verbindungskabel an der DSE-Rückseite abziehen.
- Monitor durch Drehen nach der Seite um 90° aus der Führung lösen und nach oben abnehmen.
- Zum Abnehmen des Abdeckbleches sind die beiden Schrauben in der Monitorhalterescheibe herauszuschrauben. Danach läßt sich das Abdeckblech ca. 3 cm nach hinten verschieben (seitliche Führungsnasen müssen ausrasten) und danach schräg nach hinten oben abziehen (Unterkante des Abdeckbleches dabei leicht spreizen).

2.2.2. Ausbau des Netzteiles

- Die 3 Befestigungsbolzen lösen (neben den Schrauben zur Befestigung des Netzteildeckels, die Bolzen sind gegen Herausfallen gesichert).
- Netzteil bei leichtem Anheben (am Deckel) so weit nach vorn ziehen, daß die Netzteilrückseite (Schalterseite) über die hintere Rahmenkante angehoben werden kann, Netzteil so schräg absetzen.
- Stromversorgungskabel X4 vorsichtig abziehen (Achtung: die Stege zur Kabelzugentlastung brechen leicht ab).
- Netzteil vorsichtig anheben und schräg auf dem mittleren und hinteren Blechrahmen absetzen. Stecker für Schalterspannung X3 abziehen.
- Steckverbinder Schutz Erde abziehen.

2.2.3. Ausbau Floppylaufwerk

- Die 4 Befestigungsschrauben auf der oberen Rahmenkante der DSE lösen.
- Halteklammern des Steckverbinders X14 (Floppysteuerung) öffnen, Stecker X16 (Stromversorgung Floppy) abziehen.
- Floppylaufwerk kann mit Kabel nach hinten aus der Frontverkleidung geschoben und danach nach oben herausgenommen werden.

2.2.4. Ausbau der Anschlußplatte

- Floppylaufwerk und Netzteil müssen ausgebaut werden.
- Steckverbinder X11 (Lokaler-Netz-Schalter), X10 (Audioleitung) und Buchsenleiste X9 nach Entriegeln der Halteklammern abziehen.
- Kabelhaltetaschen für Audio- und Lokales-Netz-Schalter-Kabel aufbiegen.
- DSE-Rückverkleidung abschrauben durch Lösen der zwei Schrauben in den hinteren Ecken des DSE-Rahmens, Rückverkleidung klappt um 90° nach hinten unten.
- Von hinten sind unter der Rückverkleidung jetzt die 4 Befestigungsschrauben der Anschlußplatte zugänglich.

2.2.5. Ausbau der Leiterplatte DSE

- Floppylaufwerk und Netzteil müssen abgebaut werden.
- alle Steckverbinder auf der DSE-Bestückungsseite abziehen.
- DSE auf die Oberseite und Grundplatte (4 äußere Schrauben) abschrauben. Die Koppelschienen können an der Grundplatte montiert bleiben.
- Die Leiterplatte DSE ist mit 6 Schrauben M3 befestigt (Achtung: eine Schraube mit Zahnscheibe = Schutz Erde und Masseanschluß).
- Die Längsseite der DSE-Leiterplatte wird in einer Halteschiene geführt. Nach Lockern der beiden Schrauben an den Enden der Halteschiene läßt sich diese seitlich verschieben (in den Langlöchern der Halteschiene).
- Die Leiterplatte wird zur Koppelseite mit dem CGG hin verschoben, bis die hinteren Steckverbinder aus dem Blechrahmen gehoben werden können. Jetzt kann die Leiterplatte schräg nach hinten vollständig aus dem Rahmen entnommen werden.

2.3. Netzteil

2.3.1. Prüfunterlagen

Stromlauplan	NETZTEIL	9689.040-0001-7 Sp
Belegungsplan	LEITERPLATTE, BSTUE	9689.040-01007-6

2.3.2. Prüfmittel

Leiterplattenprüfung

(1) Stromversorgungsgerät	2 x 10 bis 30 V	0 bis 1 A	z.B. 3205 Statron
(2) Digitalvoltmeter			z.B. G-1001.500
(3) Oszilloskop			z.B. EO 213
(4) Stromversorgungsgerät	0 bis 30 V	0 bis 1,5 A	z.B. 3221 Statron
(5) Trennstelltrafo			z.B. TST 280/6
(6) Universalmesser		300 V / 6 A	
(7) Universalmesser		300 V / 6 A	
(8) Sicherung		0,63 A T	
(9) Lastnachbildung		siehe Anhang	

Komplettprüfung

(1) Hochspannungsisolationsprüfgerät		z.B. WIP 61
(2) Schutzleiterprüfgerät		z.B. SP 15
(3) Trennstelltrafo		z.B. TST 280/6
(4) Digitalvoltmeter	300 V / 6 A	
(6) Lastnachbildung	siehe Anhang	

2.3.3. Funktionsbeschreibung

Allgemeines

Die Baugruppe Netzteil enthält ein Schaltnetzteil, das die Spannung 5P für den Rechner, und ein Schaltnetzteil, das die Spannung 12P zur Speisung des Monitors sowie des Floppylaufwerkes bereitstellt.

Zwei Analogregler, die vom 5P-Schaltnetzteil versorgt werden, liefern die Hilfsspannungen 12PH und 12NH geringer Belastbarkeit, die vorzugsweise zur Speisung der V24-Interface-Ausgänge dienen. Die Schaltung wird anhand des Stromlaufplanes 9689.040-0001-7 Sp beschrieben.

Achtung:

Es ist zu beachten, daß die Primärkreise, das sind alle Bauelemente vom Netzeingang bis zu den Armaturen der Trafos, mit Netzpotential verbunden sind und gefährliche Spannung führen. Bei Reparaturen muß die Speisung stets über einen Trennstelltrafo erfolgen!

Konstruktiver Aufbau

Das Netzteil ist eine selbständige Baugruppe. Die Netzspannung wird an der Rückseite über einen Schutzkontakt-Kaltgerätestecker zugeführt. Der Netzschalter, die Sicherungen und ein dreipoliger Steckverbinder für die Betriebsspannung 12P des Monitors befinden sich ebenfalls an der Rückwand.

Ausgangsseitig ist das Netzteil über die an der Netzteil- und an der DSE-Leiterplatte steckbaren Ausgangsleitungen 1 und 2 angeschlossen. Die elektronischen Bauelemente aller Funktionsgruppen befinden sich auf einer gemeinsamen Leiterplatte.

Über die Flachsteckverbinder X2-X5, X3-X6 und die klemmbare Verbindung des Schutzleiters zum Netzfilter sowie der steckbaren Monitorleitung ist die Leiterplatte mit den sich im Gehäuse befindlichen Anschlüsselementen verbunden.

Elektrische Funktion

Die 5P- und die 12P-Funktionsgruppe sind mit Ausnahme der Anlaufschaltung identisch aufgebaut. Beide Funktionsgruppen arbeiten nach dem Prinzip des Sperrwandlers. Während der Leitphase des Transistors V11 bzw. V26 wird magnetische Energie im Kern des Trafos T1 bzw. T2 gespeichert. Diese Energie wird in der Sperrphase frei und durch die Sekundärwicklungen mit den zugehörigen Leistungsdioden auf die Kondensatoren C15, C16, C18, C25 bzw. C35 übertragen. Die Bauelemente L2, C19 bzw. L4, C36 dienen zur Siebung der Ausgangsspannung.

Netzgleichrichtung, Siebung, Funkentstörung

Die Gleichspannung für die Sperrwandler wird über eine gemeinsame Netzgleichrichtung erzeugt. Die Netzwechselspannung gelangt über die zwei Schmelzsicherungen F1, F2, den zweipoligen Netzschalter S1 und das Netzfilter Z1 zur Gleichrichterbrückenschaltung mit den Dioden V1 bis V4. An den Kondensatoren C7 und C26 steht eine Rohgleichspannung von etwa 300 V zur Verfügung. Der Widerstand R1 reduziert den Stromstoß beim Einschalten. Das Netzfilter Z1, die Drossel L1 sowie die Kondensatoren C1 bis C6 und der Schirm im Transformator T1 bzw. T2 realisieren die erforderliche Funkentstörung.

Anlaufschaltung

Die Anlaufschaltung stellt einen Startimpuls für die primärseitige Steuerung bereit, bis sich die Schaltung über die Hilfsspannungsversorgung (Wicklung 6-7 von T1, V5, C8) selbst versorgen kann. Nach dem Zuschalten der Netzspannung wird der Kondensator C8 über den Widerstand R2 aufgeladen, wobei zunächst alle Verbraucher durch V9 abgetrennt sind. Nur über den Spannungsteiler R3, R5, R8 fließt ein kleiner Strom. Bei etwa 18 V an C8 ist an der Z-Diode V6 die Z-Spannung erreicht, und V8 wird leitend. Über R7 wird damit auch V7 leitend. Durch R5 wird die Schaltung zur Kippstufe, d.h., sie erhält Hystereseverhalten. Über den Emitterfolger V9 werden der Schaltkreis N1 und der Treibertransistor V10 mit der erforderlichen Speisepannung versorgt, und der Sperrwandler beginnt zu arbeiten.

Schaltfrequenz, max. Tastverhältnis, Treiberstufe, Schutzbeschaltung

Am Schaltkreis N1 bzw. N6 ist die Schaltfrequenz durch den Kondensator C11 bzw. C30 und den Widerstand R15 bzw. R47 festgelegt. Mit dem Spannungsteiler R9, R10 bzw. R42, R43 wird die schaltkreisinterne Tastverhältnisreduzierung aufgehoben. Der Spannungsteiler R12, R13 bzw. R44, R45 begrenzt das maximale Tastverhältnis, welches in Verbindung mit dem Trafo T1 bzw. T2 für die erforderliche Ausgangsleistung dimensioniert ist. Vom Ausgang des Schaltkreises N1 Pin 15 bzw. N6 erfolgt die Ansteuerung des Treibertransistors V10 bzw. V25. Während der Sperrphase übernimmt der Treibertransistor den Strom von R17 bzw. R49. Durch Anhebung des Emitterpotentials von V11 bzw. V26 mittels der Dioden V12, V13 bzw. V27, V28 wird das Basispotential während der Sperrphase (V10 bzw. V25 durchgeschaltet) negativer als das des Emitters, was ein schnelles Abschalten von V11 bzw. V26 ermöglicht.

Die Schutzbeschaltung der Schaltstufe (V11 bzw. V26) durch das Netzwerk C14, R22, V14 bzw. C33, R54, V29 bewirkt, eine Ausschaltentlastung sowie eine Kollektorspannungsbegrenzung. Sie ist für eine sicher Funktion unerläßlich.

Eine weitere Schutzmaßnahme ist die Strombegrenzung im Primärkreis. Vom Spannungsteiler R18, R19 bzw. R50, R51 wird über den Strommeßwiderstand R21 bzw. R53 eine vom Kollektorstrom des Transistors V11 bzw. V26 proportionale Spannung abgegriffen. Sie wird dem Überstromeingang des Schaltkreises N1 Pin 11 bzw. N6 Pin 11 zugeführt. Beim Erreichen eines maximalen Kollektorstromes von etwa 1,2 A erfolgt eine sofortige Abschaltung. Der Kondensator C12 bzw. C31 beseitigt parasitäre Spannungsspitzen.

Funktion der Regelung

Spannungsregelung

Auf der Niederspannungsseite erfolgt der Soll/Ist-Vergleich an N4 bzw. N7. Das Referenzelement N5 bzw. N8 stellt dafür die Referenzspannung bereit. Der Istwert wird bei der 5P-Funktionsgruppe mit Fühlleitungen an X3 der Ausgangsleitung abgenommen. Über den Spannungsteiler R31, R32, R33 bzw. R59, R60, R61 erfolgt die Teilung auf den Wert der Referenzspannung von 1,22 V. Der der Soll/Ist-Abweichung proportionale Ausgangsstrom von N4 bzw. N7 beeinflusst den Diodenstrom des Optokopplers U2 bzw. U4. Der Fototransistor wird in Abhängigkeit davon mehr oder weniger leitend und ändert den Spannungsabfall an R14 bzw. R46 und damit über Pin 5 von N1 bzw. N6 das Tastverhältnis des Wandlers. Zur Versorgung der Verstärker N4 bzw. N7 liefert die Gleichrichterschaltung mit V18, C17 bzw. V30, C34 während der Flußphase eine negative Spannung. Da diese von der Netzspannung abhängig ist, erfolgt mit R23, der Z-Diode V19 bzw. R55 und V32 eine Stabilisierung.

Strombegrenzung

Über den Widerstand mit 0,047 Ohm, der als Leiterzug ausgeführt ist, wird eine dem Ausgangsstrom proportionale Spannung abgegriffen, die den Istwert repräsentiert. Mit dem Spannungsteiler R28, R29, R30 bzw. R56, R57, R58 erfolgt die Einstellung des Sollwertes. Durch den zweiten Verstärker von N4 bzw. N7 erfolgt in gleicher Weise wie bei der Spannungsregelung über den Optokoppler U2 bzw. U4 eine Einflußnahme auf das Tastverhältnis der Art, daß bei Erreichen des Grenzwertes der Ausgangsstrom konstant bleibt. Die RC-Glieder R38, C23 / R37, C24 bzw. R66, C38 / R65, C39 geben dem Regelkreis PI-Verhalten.

Überspannungsschutz

Für den Fall, daß im Regelkreis ein Defekt eintritt, der am Ausgang zu unzulässigen Spannungen führen kann, tritt der Überspannungsschutz in Funktion. Die Überspannungskontrolle erfolgt durch die Elemente U1, V20 und R39 bzw. U3, V33 und R67. Steigt die Ausgangsspannung über den zulässigen Wert (4,5 bis 6,8) V bzw. (11,6 bis 15) V an, kommt es durch die Z-Diode V20 bzw. V33 zum Stromfluß, und der Koppler U1 bzw. U3 wird leitend. Dadurch schaltet der Eingang Pin 10 von N1 bzw. N6 die Ansteuerung ab, wobei gleichzeitig der Kondensator C9 bzw. C28 entladen wird. Ist die Überspannung abgebaut, beginnt nach einer Totzeit ein Langsamanlauf.

Strombegrenzung bei Impulslasten bzw. Lastsprüngen

Bei großen schlagartig auftretenden Laständerungen, insbesondere bei Verringerung, treten kurzfristige Spannungszusammenbrüche der Ausgangsspannung auf. Beim Abschalten einer großen Last kommt es durch die im Trafo gespeicherte Energie zunächst zu einer Überhöhung der Ausgangsspannung. Das hat zur Folge, daß die Ansteuerung aussetzt, bis die Überhöhung abgebaut ist,

wobei aber auch die Hilfsspannung an C8 bzw. C27 einen unteren Grenzwert unterschreiten kann.

Zur Wiederherstellung der Funktion muß ein neuer Startvorgang ablaufen.

Hilfsspannungen 12PH, 12NH

Da ein Schaltregler, abgesehen von der indirekten Stabilisierung, nur eine Spannung stabilisieren kann, sind für die Hilfsspannungen zwei integrierte Längsregler nachgeschaltet. Durch Verbinden von X1:3 mit X2:7 und X1:2 mit X2:7 besteht die Möglichkeit, die Hilfsspannungen auf 1/10 des Nennwertes zu reduzieren.

2.3.4. Prüfablauf

Eine Reparatur kann entweder nach Analyse des Fehlerbildes oder nach einem festen Programm erfolgen. Bei Reparaturen an Teilen, die die elektrische Sicherheit betreffen, wie z.B. dem Transformator T1 bzw. T2, sind anschließend die Hochspannungsprüfungen entsprechend Pkt. 5.2.1 durchzuführen. Reparaturen sind stets an einem Trennstelltrafo (3) bzw. (5) auszuführen!

Reparaturen nach Analyse des Fehlerbildes

Bei dieser Methode wird die genaue Kenntnis der Funktionsbeschreibung Abschnitt 2.3.3 sowie des Schaltkreises B 260 D vorausgesetzt.

Reparatur nach festem Programm

In den folgenden Prüfschritten nach vorgegebener Reihenfolge werden sämtliche Schaltungskomplexe überprüft. Die Gliederung der Prüfschritte ermöglicht eine relativ enge Fehlereingrenzung. Im Zusammenhang mit der Funktionsbeschreibung Abschnitt 2.3.3 können aus der Prüfaussage mögliche defekte Bauelemente ermittelt werden.

Funktionsprüfung Leiterplatte

Die Prüfung erfolgt in Verbindung mit Ausgangsleitung 1 und 2 (9689.040-01003-5, 9689.040-01004-3).

Vorprüfung mit Niederspannung

Steckverbinder X3 (Ausgangsleitung 1) an Lastnachbildung (9) anstecken.

Steckverbinder X2 (Ausgangsleitung 2) wird vorerst nicht angesteckt.

5P-Funktionsgruppe

Anlaufschaltung

Mit Stromversorgung (1) (erster Ausgang) 15 V zwischen MP1 (-) und MP2 (+) einspeisen.

Spannung mit DVM (2) zwischen MP1 (-) und MP3 (+) messen. Sollwert: < 1 V.

Spannung von (1) kurzzeitig auf 20 V erhöhen, anschließend auf 16 V einstellen. Sollwert der Anzeige an DVM (2) 15 bis 15,5 V. Stromaufnahme 0,13 bis 0,175 mA.

Ansteuerschaltung

Grundfunktion

Einspeisung entsprechend Anlaufschaltung. Mit DVM (2) zwischen MP1 (-) und folgenden Punkten messen:

N1 Pin	3	1,9 bis 2,3 V
N1 Pin	2	8,0 bis 9,2 V
N1 Pin	10	8,0 bis 9,2 V
N1 Pin	6	2,9 bis 3,4 V
N1 Pin	5	2,9 bis 4,4 V

Mit Oszilloskop (3) zwischen MP1 (Masse) und Y-Eingang (Teiler 10:1) an folgenden Punkten messen:

N1 Pin	8	Sägezahn	3,8 bis 4,6 V	45 bis 55 µs	
N1 Pin	15	Rechteck	< 0,2 V	18 bis 22 µs	low
			0,6 bis 0,8 V	27 bis 33 µs	high
Basis V11		Rechteck	< 0,2 V	27 bis 33 µs	low
			2,0 bis 2,8 V	18 bis 22 µs	high

Steuerfunktion

Einspeisung entsprechend Anlaufschaltung. Oszilloskop (3) (Masse) mit MP1, Y-Eingang (Teiler 10:1) mit der Basis von V11 verbinden.

Strombegrenzung:

Stromversorgung (4) mit MP1 (-) und MP4 (+) verbinden. Ausgangsspannung auf 3 V einstellen, kurzzeitig 1,1 bis 1,3 A einspeisen. In diesem Bereich muß die Rechteckspannung an der Basis von V11 abschalten. Anschließend die Stromquelle wieder abtrennen.

Überspannungsbegrenzung:

Am Optokoppler U2 Pin 1 und Pin 2 (X9-X14) miteinander verbinden. Stromversorgung (1) (zweiter Ausgang) (-) mit Buchse 0 und Buchse 5P vom Lastadapter (9) verbinden. Ausgangsspannung von (1) (zweiter Ausgang) 5,4 bis 6,6 V. In diesem Bereich muß die Rechteckspannung an der Basis von V11 abschalten. Abschließend die Verbindungen der Pins 1 und 2 am Optokoppler U2 wieder aufheben.

Einstellung der Spannungsregelung:

Mit Stromversorgung (4) zwischen Buchse 0 (+) und MP5 (-) 10 V einspeisen. Spannung mit DVM (2) zwischen Buchse 0 (-) und N4 Pin 7 messen. Sollwert - (4,8...5,8) V. Stromversorgung (1) (zweiter Ausgang) auf 5 V einstellen. Einstellwiderstand R32 so einstellen, daß Impulse am Oszilloskop (4) gerade ein- bzw. aussetzen.

12P-Funktionsgruppe

Ansteuerschaltung

Grundfunktion

Mit Stromversorgung (1) Spannung zwischen MP1 (-) und MP8 (+) einspeisen. Stromaufnahme 0,13 bis 0,175 A.

Mit DVM (2) zwischen MP1 (-) und folgenden Punkten messen:

N8 Pin	3	1,9 bis 2,3 V
	2	8,0 bis 9,2 V
	10	8,0 bis 9,2 V
	6	2,9 bis 3,4 V
	5	2,9 bis 3,4 V

Mit Oszilloskop (3) zwischen MP1 (Masse) und Y-Eingang (Teiler 10:1) an folgenden Punkten messen:

N8 Pin	8	Sägezahn	3,8 bis 4,6 V	45 bis 55 µs	
	15	Rechteck	< 0,2 V	18 bis 22 µs	low
			0,6 bis 0,8 V	27 bis 33 µs	high
Basis V26		Rechteck	< 0,2 V	27 bis 33 µs	low
			2,0 bis 2,8 V	18 bis 22 µs	high

Steuerfunktion

Einspeisung entsprechend Ansteuerschaltung. Oszilloskop (3) (Masse) mit MP1, Y-Eingang (Teiler 10:1) mit der Basis von V26 verbinden.

Strombegrenzung:

Stromversorgung (4) mit MP1 (-) und MP9 (+) verbinden. Ausgangsspannung auf 3 V einstellen, kurzzeitig 1,1 bis 1,3 A einspeisen. In diesem Bereich muß die Rechteckspannung an der Basis von V11 abschalten. Anschließend die Stromquelle wieder abtrennen.

Überspannungsbegrenzung:

Am Optokoppler U4 Pin 1 und Pin 2 (X17-X18) miteinander verbinden. Stromversorgung (1) (zweiter Ausgang) (-) mit Buchse 0 und Buchse 12P (+) vom Lastadapter (9) verbinden. Ausgangsspannung von (1) (zweiter Ausgang) 12,6 bis 15 V. In diesem Bereich muß die Rechteckspannung an der Basis von V26 abschalten. Abschließend die Verbindungen der Pins 1 und 2 am Optokoppler U4 wieder aufheben.

Einstellung der Spannungsregelung:

Mit Stromversorgung (4) zwischen Buchse 0 (+) und MP10 (-) 25 V einspeisen. Spannung mit DVM (2) zwischen Buchse 0 (-) und N10 Pin 7 messen. Sollwert - (4,8...5,8) V. Stromversorgung (1) (zweiter Ausgang) auf 12 V einstellen. Einstellwiderstand R60 so einstellen, daß Impulse am Oszilloskop (4) gerade ein- bzw. aussetzen.

Gesamtfunktion

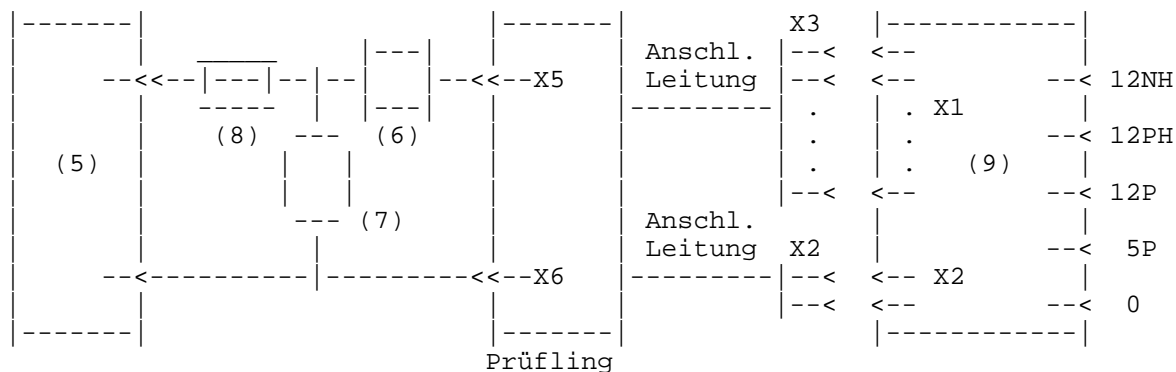
Die Prüfung erfolgt in Verbindung mit Ausgangsleitung 1 und 2 (9689.040-01003-5, 9689.040-01004-3)

Steckverbinder X3 (Ausgangsleitung 1) an Lastnachbildung (9) anstecken.

Steckverbinder X2 (Ausgangsleitung 2) wird vorerst nicht angesteckt.

5P-Funktionsgruppe

12P-Teil durch Brücken von Pin 4-5 an U3 (X15-X16) außer Betrieb setzen. Prüfschaltung entsprechend nachfolgender Skizze ausführen.



Kontrolle der Kollektorspannung von V11

Oszilloskop (3) mit MP1 (Masse) und Y-Eingang (Teiler 10:1) mit Kollektor von V11 verbinden. An Lastnachbildung (9) Schalter S1 einschalten, alle übrigen Schalter bleiben ausgeschaltet. Trennstelltrafo (5) auf 220 V einstellen und einschalten. Prüfling einschalten. Nach < 3 s Startverzögerung Kollektorspannungsverlauf am Oszilloskop abbilden. Die Anstiegsflanke zu Beginn der Sperrphase darf 800V nicht überschreiten.

Messung der negativen Hilfsspannungen

Mit DVM (2) zwischen Buchse 0 (-) der Lastnachbildung (9) und MP5 Spannung messen. Sollwert $-(10 \text{ bis } 12)$ V.

Einstellen der Ausgangsspannung

Mit DVM (2) mit Buchse 0 (-) und Buchse 5P der Lastnachbildung (9) verbinden. Mit Einstellwiderstand R32 die Ausgangsspannung auf 5,02 bis 5,05 V einstellen.

Einstellen der Strombegrenzung

An der Lastnachbildung (9) Schalter S1 und S11 einschalten (Gesamtlastwiderstand 0,87 Ohm). Mit dem Einstellwiderstand R29 die Ausgangsspannung auf 4 V einstellen. An der Lastnachbildung (9) den Schalter S11 ausschalten (Laststrom 3,6 A). Sollwert der Ausgangsspannung 4,9 bis 5,1 V.

Stabilität der Ausgangsspannung

An der Lastnachbildung (9) Schalter S1 und S11 aus- und einschalten. Die zulässige Änderung der Ausgangsspannung beim Einschalten ist $< 0,1$ V. An der Lastnachbildung (9) ist der Schalter S1 eingeschaltet. Die Betriebsspannung zwischen 185 V und 250 V verändern. Zulässige Änderung ist $< 0,1$ V. Anschließend die Betriebsspannung wieder auf 220 V einstellen.

Welligkeit der Ausgangsspannung

Welligkeit der Ausgangsspannung mit dem Oszilloskop (3) zwischen Buchse 0 und 5P der Lastnachbildung messen. Sollwert: $< 0,15$ Vss.

Ausgangsspannung 12PH / 12NH 0,1A

Spannung belastet:

An der Lastnachbildung (9) sind die Schalter S3 und S4 ausgeschaltet.

Mit dem DVM (2) zwischen Buchse 0 (-) und folgenden Punkten messen:

Buchse 12PH	Sollwert	11 bis 13 V
Buchse 12NH	Sollwert	-(11 bis 13) V

Spannung belastet:

An der Lastnachbildung (9) Schalter S3 und S4 einschalten. Mit dem DVM (2) zwischen Buchse 0 (-) und folgenden Punkten messen:

MP6	Sollwert	15 bis 17 V
MP7	Sollwert	-(15 bis 17) V
Buchse 12PH	Sollwert	11 bis 13 V
Buchse 12NH	Sollwert	-(11 bis 13) V

Abschließend Schalter S3 und S4 wieder ausschalten.

Umschaltung der Ausgangsspannung 12PH 12PN

Steckverbinder X2 (Anschlußleitung 2) an X2 der Lastnachbildung (9) anstecken. Spannung mit dem DVM (2) zwischen Buchse 0 (-) und folgenden Punkten messen:

Buchse 12PH	Sollwert	1 bis 1,5 V
Buchse 12NH	Sollwert	-(1 bis 1,5) V

Abschließend Trennstelltrafo (5) ausschalten.

12P-Funktionsgruppe

Verbindung an U3 (Pin 4-5) wieder entfernen. Prüfschaltung entsprechend der 5P-Funktionsgruppe ausführen.

Kontrolle der Kollektorspannung von V26

Oszilloskop (3) mit MP1 (Masse) und Y-Eingang (Teiler 10:1) mit Kollektor von V26 verbinden. An Lastnachbildung (9) Schalter S2 einschalten, alle übrigen Schalter bleiben ausgeschaltet. Trennstelltrafo (5) auf 220 V einstellen und einschalten. Prüfling einschalten. Nach < 3 s Startverzögerung Kollektorspannungsverlauf am Oszilloskop abbilden. Die Anstiegsflanke zu Beginn der Sperrphase darf 800V nicht überschreiten.

Messung der negativen Hilfsspannungen

Mit DVM (2) zwischen Buchse 0 (-) der Lastnachbildung (9) und MP10 Spannung messen. Sollwert -(25 bis 29) V.

Einstellen der Ausgangsspannung

Mit DVM (2) mit Buchse 0 (-) und Buchse 12P (+) der Lastnachbildung (9) verbinden. Mit Einstellwiderstand R60 die Ausgangsspannung auf 12,0 bis 12,04 V einstellen.

Einstellen der Strombegrenzung

An der Lastnachbildung (9) Schalter S2 und S22 einschalten (Gesamtlastwiderstand 2,35 Ohm). Mit dem Einstellwiderstand R57 die Ausgangsspannung auf 10,8 V einstellen. An der Lastnachbildung (9) den Schalter S22 ausschalten (Laststrom 3,6 A). Sollwert der Ausgangsspannung 11,8 bis 12,2 V.

Stabilität der Ausgangsspannung

An der Lastnachbildung (9) Schalter S2 aus- und einschalten. Die zulässige Änderung der Ausgangsspannung beim Einschalten ist < 0,2 V. An der Lastnachbildung (9) ist der Schalter S2 eingeschaltet. Die Betriebsspannung

zwischen 185 V und 250 V verändern. Zulässige Änderung ist $< 0,2$ V. Anschließend die Betriebsspannung wieder auf 220 V einstellen.

Welligkeit der Ausgangsspannung

Welligkeit der Ausgangsspannung mit dem Oszilloskop (3) zwischen Buchse 0 und 12P der Lastnachbildung messen. Sollwert: $< 0,5$ Vss.

Positive interne Hilfsspannungen

An der Lastnachbildung (9) die Schalter S1 und S2 einschalten. Mit dem DVM (2) zwischen MP1 (-) und folgenden Punkten messen:

MP3	11,5 bis 15 V
MP8	12,5 bis 16 V

Stromaufnahme

Betriebsspannung 220 V, an der Lastnachbildung (9) Schalter S1, S2, S3 und S4 einschalten. Die Stromaufnahme soll 0,40 bis 0,60 A betragen. Abschließend den Trennstelltrafo (5) ausschalten.

Komplettprüfung

Nach Durchführung von kundendiensttechnischen Leistungen sind vor Übergabe an den Kunden die vorgeschriebenen sicherheitstechnischen Prüfungen nachweislich zu führen. Die geprüften Geräte sind mit einer eindeutigen, geeigneten Kennzeichnung zu versehen.

Schutzgüteprüfung

Sichtkontrolle

Das Gerät ist einer Sichtkontrolle zwecks Einhaltung der sicherheitstechnischen Forderungen zu unterziehen, z.B.:

- Kontrolle der Anschlußdrähte (Netz) auf festen Sitz, keine freien Drahtenden, keine Drahtquetsungen usw.
- Kontrolle, ob die Netzabdeckung ordnungsgemäß montiert ist.
- Kontrolle, ob die eingesetzten Sicherungen den vorgeschriebenen Werten entsprechen.

Schutzleiterprüfung

Mit dem Schutzleiterprüfgerät (2) zwischen X1 (Schutzleiterkontakt) sowie X2:3 und dem Gehäuse des Prüflings den Schutzleiter mit 25 A 10 s lang prüfen.

Isolationsprüfung

Prüfung des Netzeingangs gegen das Gehäuse und die Ausgänge

Schalter S1 "Netz" einschalten. Netzeingänge miteinander verbinden. Ausgänge (alle Kontakte von Anschlußleitung 1 und 2) miteinander und mit dem Gehäuse verbinden. Am Hochspannungsisolationsprüfgerät (1) Prüfwechselspannung 2000 V einstellen und stoßartig (nicht kontinuierlich ansteigend!) zwischen dem Netzeingang und dem Gehäuse 1 s lang anlegen. Es darf kein Durch- oder Überschlag erfolgen.

Prüfung der Ausgänge gegen den Netzeingang und das Gehäuse

Schalter S1 "Netz" einschalten. Ausgänge (alle Kontakte von Anschlußlei-

tung 1 und 2) miteinander verbinden. Netzeingänge und Gehäuse miteinander verbinden. Am Hochspannungsisolationsprüfgerät (1) Prüfwechselspannung von 500 V einstellen und stoßartig zwischen den Ausgängen (alle Kontakte von Anschlußleitung 1 und 2) und dem Gehäuse 1 s lang anlegen. Es darf kein Durch- oder Überschlag erfolgen.

Funktionsprüfung

Prüfaufbau

Netzeingang X1 vom Prüfling über einen Universalmesser (5) mit dem Trennstelltrafo (3) verbinden.

Steckverbinder X3 (Ausgangsleitung 1) an Lastnachbildung (6) anstecken.

Steckverbinder X2 (Ausgangsleitung 2) wird vorerst nicht angesteckt.

Leerlaufmessung

An die Lastnachbildung (6) sind alle Schalter in Stellung "aus". Den Trennstelltrafo (3) auf 250 V einstellen. Den Schalter S1 "Netz" am Prüfling einschalten. Nach einer Startverzögerung von < 3 s die Stromaufnahme am Universalmesser (5) ablesen. Sollwert 60 bis 90 mA.

Mit dem DVM (4) folgende Spannungen messen:

5P -Ausgang	Buchse 0 (-) - Buchse 5P (+)	Sollwert	4,9 bis 5,1 V
12P -Ausgang	Buchse 0 (-) - Buchse 12P (+)	Sollwert	11,8 bis 12,2 V
12PH-Ausgang	Buchse 0 (-) - Buchse 12PH (+)	Sollwert	11,0 bis 13,0 V
12NH-Ausgang	Buchse 0 (-) - Buchse 12NH (+)	Sollwert	-(11,0 bis 13,0) V

12PH-/12NH-Spannungsumschaltung

Anschlußkabel 2 mit Steckverbinder X2 an die Lastnachbildung (6) anstecken.

Mit dem DVM (4) Spannungen messen:

12PH-Ausgang	Buchse 0 (-) - Buchse 12PH (+)	Sollwert	< 2 V
12NH-Ausgang	Buchse 0 (-) - Buchse 12NH (+)	Sollwert	> -2 V

Abschließend Schalter S1 "Netz" am Prüfling ausschalten.

Belastungsmessung

An der Lastnachbildung (6) die Schalter S1, S2, S3 und S4 einschalten. Trennstelltrafo (3) auf 185 V einstellen.

Schalter S1 "Netz" einschalten. Nach einer Startverzögerung < 3 s Stromaufnahme am Universalmesser (5) ablesen. Sollwert 0,45 bis 0,65 A. Mit dem DVM (4) Spannungen entsprechend Leerlaufmessung messen. Abschließend Schalter S1 "Netz" ausschalten.

2.4. Komplexe Adreß-Dekodierung, ROM, Audio und FD-Steuerung

2.4.1. Prüfunterlagen

Stromlaufpläne

- | | |
|--------------------------------------|------------------|
| - Leiterplattenbaugruppe MKB 260 | 808 20 585 5-100 |
| - Diskettenspeichereinheit DSE K5651 | 808 20 583 9-100 |

Belegungspläne

- | | |
|----------------------------------|--------|
| - Leiterplattenbaugruppe MKB 260 | 705 25 |
|----------------------------------|--------|

2.4.2 Prüfmittel

- (1) BIC-Prüfplatz für DSE siehe Anhang
- (2) Oszilloskop (z.B. EO 213)
- (3) 2 bzw. 3 (nur bei getrennter Leiterplattenprüfung sind 3 Stück erforderlich) Diskettenspeicher K5601 mit Stromversorgung (z.B. 2TG15).
- (4) Adapterkabel siehe Anhang
- (5) Prüfdisketten, davon eine einseitig formatiert
- (6) Prüfsoftware auf ROM (ROM-Modul)
- (7) Kondensator 0,1 µF (z.B. KT-Kondensator 0,1/10/160 TGL 38159)
- (8) Impulsgenerator (z.B. TR-0353/C, UVR)
- (9) Frequenzzähler (z.B. G-20001.500)

2.4.3. Funktionsbeschreibung

Adreßdekodierung

Mit D1 /L23/ werden die /CS-Signale für die beiden EPROMs D46 /K25/ und D47 /J25/ erzeugt.

Adreßbereiche:	D46	4000H bis 5FFFH
	D47	6000H bis 7FFFH

Die Verknüpfung der beiden /CS-Signale mit dem Signal /SL1 mittels D3 /O24/ und D4 /O25/ bewirkt, daß im Adreßbereich 4000H bis 7FFFH an der Buchsenleiste X6 das Signal /SL1 nicht verfügbar ist und damit ein dort gesteckter Modul in diesem Bereich nicht angesprochen werden kann. Der Dekoder D2 /L25/ erzeugt die /CS-Signale für alle E/A-Baugruppen. Die Adressen sind im Anhang zum Programmierhandbuch enthalten.

FD-Steuerung

Floppy-Disk-Controller mit Peripherie

Kernstück der FD-Steuerung ist der Floppy-Disk-Controller (FDC), der sämt-

liche Steuerfunktion für den Informationsaustausch des Prozessors mit max. 4 Folienspeichern (Diskettenlaufwerken, FDD) ausführt. Durch entsprechende Befehle des Prozessors wird der FDC zur Ausführung der entsprechenden Funktion veranlaßt (z.B. Daten lesen, Daten schreiben, ID-Feld lesen, Formatieren, Schreib-/Lesekopf des FDDs positionieren. usw.).

Der FDC benötigt an Pin 19 einen 4-MHz-Takt, der mit dem 8-MHz-Taktgenerator (D34 /K19/) erzeugt und mit D7 /M21/ geteilt wird. Mit D7 wird durch weitere Teilung und Verknüpfung mit D31 /N10/ und D39 /Q9/ der vom FDC benötigte Schreibtakt (WRCLK) erzeugt (Impulse von 250 ns Breite und 2µs Abstand). Der Datenaustausch mit dem Prozessor erfolgt über den Datenbus im Hand-Shake-Betrieb. Der FDC enthält zwei Register: ein Hauptstatusregister und ein Datenregister. Durch das Adreßbit A0 wird festgelegt, welches Register an den Datenbus gelegt wird (A0 = 0: Hauptstatusregister am Datenbus, A0 = 1: Datenregister am Datenbus).

Als weitere Steuersignale benötigt der FDC:

/RESET	setzt den FDC in den Ausgangszustand; die für Kopflade- und entladezeit programmierten Werte bleiben erhalten.
/RD	Lesen von Daten aus dem Hauptstatus- oder Datenregister
/WR	Schreiben von Daten in das Datenregister; /RD und /WR sind mittels D30 und D33 mit /IORQ verknüpft.
TC	Signal beendet den Datentransfer zwischen FDC und Prozessor. Der FDC bearbeitet den jeweiligen Sektor auf der Diskette bis zum Schluß, um die CRC-Bildung durchführen zu können.
IDX	wird vom Indexloch der Diskette erzeugt, kennzeichnet den Spuranfang.
FLT/T	Spur Null-Signal vom FDD
RDD	von der Diskette gelesene Daten
DW	Datentransfer, wird von der PLL (siehe 3.2.2.) generiert
RDY	Bereitschaftssignal vom FDD
WP	Schreibschutzsignal vom FDD

Da sämtliche FDD-Signale low-aktiv sind, sind noch Inverter bzw. für die Signale, die nur während des Lese- bzw. Schreibbetriebes oder während des Suchbetriebes auftreten, weitere Verknüpfungen erforderlich (gilt auch für die Signale zum FDD).

Der FDC erzeugt Ausgangssignale, von denen die nachfolgend aufgeführten benötigt werden:

RW/SE	Zeigt an, ob Lese- bzw. Schreibbetrieb oder Suchbetrieb erfolgt.
L/DIR	Richtungssignal bei Bewegung des Kopfschlittens im FDD
F/SIP	Schrittimpulse zur Bewegung des Kopfschlittens im FDD
WD	Schreibdaten zum FDD

DS0,DS1	Signale zur Laufwerksauswahl
HDS	Signal zur Seitenwahl der Diskette
WE	Schreiberlaubnisignal zum FDD
VCO	Signal zur Freigabe des spannungsgesteuerten Oszillators in der PLL, im vorliegenden Fall zur Sperrung der PLL außerhalb des Lesebetriebes

Die Signale DS0 und DS1 werden mittels D21 /Q11/ und D39 /Q9/ dekodiert und damit die Stationsauswahlssignale SE0 bis SE2 erzeugt. Im Ruhezustand tastet der FDC fortlaufend die Laufwerke ab (Zyklusdauer ca. 2 ms, Abtastzeit ca. 30 μ s) und speichert die aktuellen Laufwerksinformationen intern im Statusregister 3, von dem sie durch den Prozessor jederzeit abgefragt werden können. Da der Eingangswiderstand der Signalleitungen im FDD ca. 300 Ohm beträgt und bis zu 3 Laufwerken parallel liegen können, wurden Leistungstreiber (D11 /P7/ - 7406 PC) eingesetzt.

Phasenregelkreis (PLL)

Ein wichtiger Teil der FD-Steuerung ist die PLL (Phase Locked Loop). Diese besteht aus dem Zähler D8 /R7/, dem als Untersetzer geschalteten D-Flipflop D22 /R11/ und dem Monoflop D6 /R10/. Letzteres erzeugt aus den Leseimpulsen vom FDD Impulse konstanter Länge (ca. 100 ns) für den FDC.

Am Rückwärtszähleingang von D8 liegt der Grundtakt von 8 MHz, aus dem durch Teilung am Ausgang des D-FF eine Rechteckspannung von 250 kHz mit dem Tastverhältnis 2:1 entsteht. Diese bildet das "Datenfenster" für den FDC. Aufgabe der PLL ist es zu sichern, daß der Leseimpuls den FDC jeweils innerhalb des Datenfensters erreicht, wobei es keine Rolle spielt, ob letzteres gerade High- oder Low-Pegel hat.

An den Dateneingängen von D8 liegt eine "7". Bei jedem Leseimpuls wird vom Monoflop der Ladeeingang des D8 aktiviert und damit unabhängig vom jeweiligen Zählerstand eine "7" eingeladen, so daß der Zähler also nach jedem Leseimpuls noch 7 Taktimpulse zählt, bevor an seinem Ausgang 3 (Pin 7) ein Signalwechsel L-->H erfolgt und ein Umschalten des D-FF bewirkt. Insgesamt wird damit erreicht, daß das Datenfenster entsprechend verkürzt oder verlängert wird, und der nächste Leseimpuls den FDC etwa in der Mitte des Datenfensters erreicht (Bild 1).

Wenn der FDC nicht von der Diskette lesen muß, liegt am VCO-Ausgang Low, und der Zähler D8 /R7/ ist durch High am R-Eingang gesperrt.

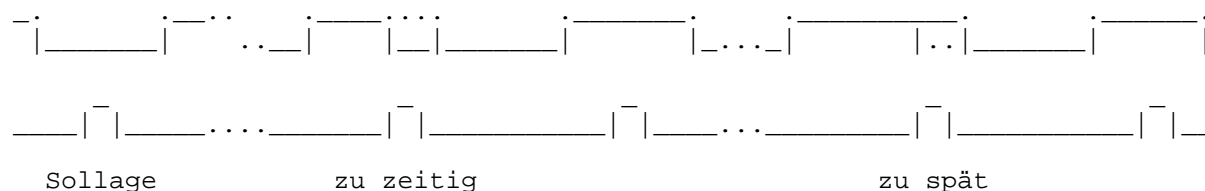


Bild 1

Steuerregister

Das Steuerregister (4fach-D-FF D5/P14/, Monoflop D6/R10/) erzeugt die Motorsteuersignale für die 3 Diskettenlaufwerke sowie ein (Software-)RESET für den FDC und das Signal TC (Terminal Count). Mit jedem /RESET wird das Register zurückgesetzt, während bei Ansprechen der Kanaladresse der Wert der zugehörigen Datenbits gespeichert bzw. das Monoflop aktiviert wird. Das Schreibsignal von D33:10 /L12/ wird mittels C5 und R11 so verzögert, daß das Eintakten der Informationen erst dann erfolgt, wenn die Daten auf dem Bus gültig sind. Die Treiberschaltkreise N1 bis N3 /S13,S14/ für die Motoren in den FDDs werden von den Registerausgängen über RC-Glieder angesteuert. Im Ruhezustand sind die Kondensatoren C1 bis C3 aufgeladen. Soll der Motor eines FDDs eingeschaltet werden, so geht der Ausgang des zugehörigen D-FF auf Low und der Kondensator entlädt sich über V7/R15 (bzw. V8/R16 oder V9/R17) innerhalb weniger ms unter die Triggerschwelle von N1 (bzw. N2 oder N3). Nach dem Ausschalten des Motors durch den Prozessor lädt sich C1 (bzw. C2 oder C3) langsam über R18 (bzw. R19 oder R20) auf und erreicht nach etwa 5 s die Triggerschwelle. Solange bleibt der zugehörige Motor eingeschaltet. Damit wird erreicht, daß bei rasch aufeinanderfolgenden Zugriffen auf die Diskette die Anlaufzeit des Motors (ca. 0,5 s) wegfällt.

Der Software-RESET dient dazu, im Fehlerfall im Fehlerfall ein Rücksetzen des FDCs zu ermöglichen, ohne einen Kaltstart des Gesamtsystems auslösen zu müssen. Dazu wird das Ausgangssignal von D5:16 /P14/ mittels D27 /L10/ mit dem System-RESET verknüpft. Das Signal TC wird vom Monoflop D6 /R10/ generiert, das von D27:3 /L10/ angesteuert wird, indem die Kanaladresse 48H mit dem Datenbit 4 verknüpft wird.

Audiostufe (N4 /S25/)

Die Audiostufe dient in Verbindung mit dem Lautsprecher zur akustischen Wiedergabe der im CGG erzeugten Frequenzen. Sie werden über C35 eingekoppelt. Mit R2 wird die Grundlautstärke eingestellt. Als Verstärker dient der Schaltkreis A210E, der in üblicher Weise beschaltet ist, mit Ausnahme des Pins 7, das mittels V1 entweder auf Masse gelegt oder quasi offen gehalten werden kann. Liegt Pin 7 auf Masse, dann ist der Vorverstärker abgeschaltet. Das Ein-/Ausschalten erfolgt durch D20 über Bit 0 auf der Kanaladresse 70H. Nach RESET oder mit Bit 0 = 1 wird AUDIO eingeschaltet, mit Bit 0 = 0 wird AUDIO ausgeschaltet.

2.4.4. Prüfablauf

Allgemeines

Der Fehler sollte zunächst auf die entsprechende Baugruppe eingekreist werden. Während das z.B. bei der Audiostufe relativ einfach ist, ist es bei Fehlern in der Diskettenarbeit wesentlich schwieriger, da hier der Fehler im ROM selbst, in der Adressierung oder auch in der FD-Steuerung liegen kann.

ROM, Adreßdekodierung und FD-Steuerung

Bei Fehlern in der Diskettenarbeit wird der ROM-Modul mit dem Prüfprogramm FDTBIC in SLOT 2 gesteckt und nach Anschluß der Laufwerke das Programm FDPRUEF aufgerufen. Die zweiseitige Diskette ist ins Laufwerk A, die einseitige ins Laufwerk B einzubringen. Läuft das Programm fehlerfrei durch, dann ist der Fehler im ROM oder der Adreßdekodierung zu suchen. Mit dem Programm DSETEST können die /CS-Signale erzeugt und mit dem Oszilloskop kontrolliert werden.

Ist der Fehler in der FD-Steuerung zu suchen, so sind die FD-Steuersignale mit dem Oszilloskop zu überprüfen bzw. die PLL zu kontrollieren.

Mit dem Programm FDTBIC können ebenfalls diverse Einzelfunktionen in der Diskettenarbeit generiert werden.

Abschließend ist in jedem Fall eine Funktionsprüfung durchzuführen, bei der im RBASIC einige Programme zu laden, die danach auf eine andere Diskette unter anderem Namen abzuspeichern sind und danach von dieser wieder zu laden. Ferner ist eine Diskette zu formatieren.

Audiostufe

Zunächst ist mittels des Programms DSETEST (statisch, z.B. mit Universalmesser) zu kontrollieren, daß sich V1 ein- und ausschalten läßt. Der Verstärker selbst ist gemäß Prüfvorschrift zu prüfen.

2.5. Komplex E/A-Schnittstellen, PIO, CTC und Plotterschnittstelle

2.5.1. Prüfunterlagen

Stromlaufplan	DSE	1.40.537	290.4/04
Belegungsplan	DSE	1.40.537	290.4/00
Stromlaufplan Einsatz	DSE	1.40.537	290.4/40
Bedienungsanleitung	BIC	A	5105

2.5.2. Prüfmittel

- (1) BIC-Prüfplatz für Leiterplatte DSE
 - DSE auf Adapter senkrecht an CGG angeschlossen
 - spezielle (verlängerte) Kabel für Anschlußplatte, Floppy-Laufwerk und Netzteil siehe Anlage
 - Signaturanalyse (bei Fehler auf den Bus-Anschlüssen)
- (2) Oszillograf, z.B. EO 213
- (3) Prüfmittel "E/A-Stecker" siehe Anlage
- (4) Prüfmittel "PL-Stecker" siehe Anlage
- (5) Signaturanalyse

2.5.3. Funktionsbeschreibung

Die E/A-Schaltkreise PIO (Port A und B komplett) und CTC (Kanal 1 und 2) sind für eine kundenspezifische Nutzung vorgesehen. PIO und CTC müssen deshalb in den möglichen Betriebsarten geprüft werden.

Zum Schutz der Eingänge der betreffenden Schaltkreise sind Schutzschaltungen gegen Über- bzw. Unterspannungen (vom Anwendersteckverbinder her) vorhanden.

Bei Eingangsspannungen größer als 5,5 V ($U_B + U_E$ Diode) fließt ein Teil des Eingangsstromes über die entsprechende Diode (SAM42 oder 45) ab. Je nach Größe des Stromes entsteht ein Spannungsabfall über dem betreffenden Längswiderstand (180 Ohm). Eine übermäßige Erhöhung des Eingangsstromes führt zum Durchschlagen der betreffenden Diode (Kurzschluß gegen U_B) und eventuell Durchbrennen des betreffenden Längswiderstandes. Gleiches Verhalten tritt bei Unterschreiten des zulässigen TTL-Low-Pegels auf.

Für die Arbeit mit "Interrupt" ist eine Interrupt-Umgehungslogik (Schaltkreise D36 und D38) vorhanden.

Alle E/A-Schaltkreise (PIO, SIO, CTC und auch FDC) müssen selbst den Datenbus treiben. Aus diesem Grund müssen die Lastbedingungen, speziell für den Datenbus, eingehalten werden. Bei der Arbeit mit Signaturanalyse muß die ASA in SLOT 3 gesteckt werden. Eine gleichzeitige Nutzung eines weiteren Moduls führt zu einer Überlastung des Datenbusses.

Die Plotterschnittstelle ist eine bidirektionale V24-Schnittstelle mit stark abgerüsteter Ausstattung (Datenübertragung nur bei Nahverbindung). Grundlage ist der SIO-Kanal B.

Die Ausgangssignale TxD und DTR werden durch Pegelwandlerschaltkreise K170AP2 rückwirkungsfrei und kurzschlußfest von TTL-Pegel in V24-Schnittstellenpegel gewandelt. Die Rückwandlung der Empfangssignale RxD und CTS erfolgt im Pegelwandlerschaltkreis K170UP2.

2.5.4. Prüfablauf

Prüfaufbau

- Prüflings-DSE-Leiterplatte ausbauen und auf Prüfplatz anschließen
- Prüfmittel E/A-Stecker
- Testprogramm "E/A1" starten
- Oszillograf

Testprogramm PIO

- Der Prüfstecker verbindet die PIO-Ports A und B miteinander und erfüllt die notwendige Lastsimulation der einzelnen Leitungen.
- Das Prüfprogramm realisiert die wechselseitige Datenübertragung von Port A nach B und B nach A in den Betriebsarten:

Mode 3 ohne Interrupt

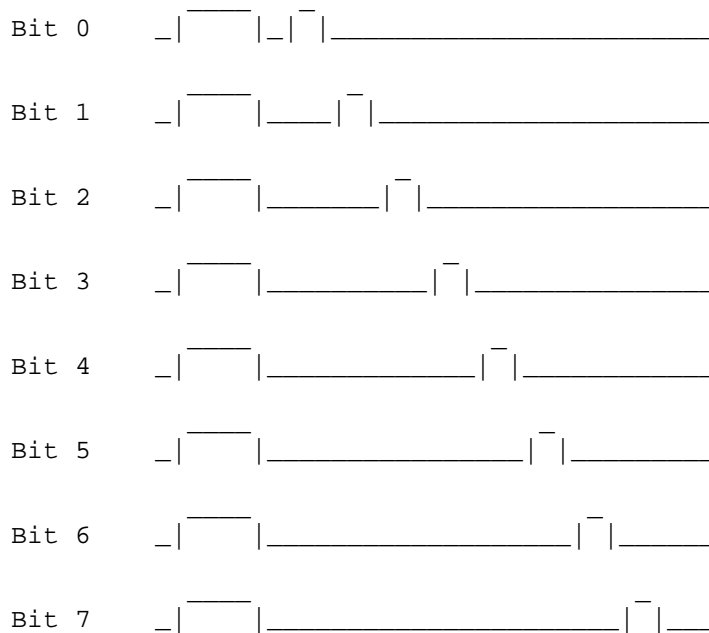
Mode 3 mit Interrupt

Mode 0 und 1

Nach Starten des Prüfprogramms kann durch Tastenbedienung ein Teilprogramm gewählt werden:

Taste 0:	Durchlauf der Einzeltestprogramme	= Funktionstest
Taste 1:	Einzeltest Mode 3 (ohne Interrupt)	A nach B
Taste 2:	Einzeltest Mode 3 (ohne Interrupt)	B nach A
Taste 3:	Einzeltest Mode 3 (mit Interrupt)	A nach B
Taste 4:	Einzeltest Mode 3 (mit Interrupt)	B nach A
Taste 5:	Einzeltest Mode 0,1	A nach B
Taste 6:	Einzeltest Mode 0,1	B nach A

- Am Bildschirm werden Übertragungsfehler angezeigt.
- Mit dem Oszillografen sind folgende Signalspiele zu kontrollieren. Dabei ist auf das Einhalten der zulässigen TTL-Pegel-Bereiche zu achten.

Mode 3

- In der Betriebsart Byte-Ein-/Ausgabe (Mode 0, 1) werden nacheinander die Bytes 00, 55H, AAH, FFH übertragen. Der ordnungsgemäße Empfang wird kontrolliert.

Testprogramm CTC

- Der Prüfstecker verbindet die CTC-Leitungen

ZC/TO1 mit C/TRG2 und
ZC/TO2 mit C/TRG1

Damit ist eine wechselseitige Impulsübertragung möglich, eine Lastnachbildung ist im "E/A-Stecker" vorhanden.

- Das Prüfprogramm realisiert folgende Betriebsarten:

Zeitgeber mit Verteiler

Zeitgeber ohne Verteiler

Zähler

Testprogramm Plotterschnittstelle

- Das Testprogramm realisiert eine vollständige Programmierung der Schaltkreise SIO und CTC.
- Getestet wird die Übertragung bei einer Baudrate von 9600 Bd.
- Die Sendedaten werden über die Sendeleitung TxD seriell ausgegeben, durch den Prüfstecker auf RxD gelegt und mit einer Grundlast (ca. 3 kOhm) belastet. Es erfolgt eine Kontrolle der empfangenen SIO-Daten mit den Sendedaten.

- Nach jedem Datenbyte erfolgt eine Kontrolle des Steuersignals DTR (durch den Prüfstecker mit CTS verbunden, Belastung ca. 3 kOhm).
- Die zulässigen V24-Pegel sind zu kontrollieren.

High = 10 V + 2 V
Low = -10 V + 2 V

2.5.5. Fehlererkennung

- Die E/A-Testprogramme sind vom Floppylaufwerk zu laden (d.h., Voraussetzung ist eine funktionsfähige Floppysteuerung).
- Wenn sich die Testprogramme ordnungsgemäß starten lassen, können Übertragungsfehler auf dem Bildschirm angezeigt werden.
- Mit den Funktionstestprogrammen kann eine Fehlereingrenzung auf die defekte Baugruppe erfolgen.
- Zur Fehlersuche ist meist der Ausbau der Leiterplatte DSE aus dem Rahmen notwendig.
- Signaturanalyse mit ASA ist dann zu empfehlen, wenn mit Testprogramm und Oszillograf an den Ausgängen der E/A-Schaltkreise keine sinnvollen Impulsbilder erzeugt werden können. Mit Signaturanalyse können alle Systembussignale bis an den fehlerhaften Schaltkreis überprüft werden.
- Als Endkontrolle muß nach einer erfolgten Reparatur bei komplett montierter DSE nochmals das Funktionstestprogramm abgearbeitet werden.

2.6. Lokal-Netz-Interface (LAN)

2.6.1. Prüfunterlagen

Stromlaufplan	Leiterplatten-Baugruppe MKD 260;	808 20 585 5-100
Belegungsplan	Leiterplatten-Baugruppe MKD 260;	705 20 585 5-100

2.6.2. Prüfmittel

- | | |
|--|-----------------|
| (1) BIC-Prüfplatz für Leiterplatte DSE | - siehe Anhang |
| -Prüfdiskette mit Programm FLAG.BAS, JAB.BAS, STNR.BAS | |
| (2) Digitalvoltmeter | z.B. G-1001.500 |
| (3) Oszillograf | z.B. EO 213 |
| (4) Widerstand | 36 Ohm 0,125 W |
| (5) Widerstand | 100 Ohm 0,125 W |

2.6.3. Funktionsbeschreibung

Allgemeines

Über das Lokal-Netz-Interface LAN (Local Area Networks) ist es möglich, mehrere Computer über ein Koaxialkabel, welches ein Bussystem bildet,

zusammenzuschalten. Dabei kann jeder Computer mit jedem kommunizieren. Als Zugriffsverfahren wird das CSMA/CD (Carrier Sense, Multiple Access with Collisions Detection) benutzt. Bei diesem Verfahren gibt es keinen Controller, alle Teilnehmer sind von der Hardware gleich. Nur die Adresse der einzelnen Computer ist verschieden. Die Einstellung ist an der Rückseite des Gerätes über einen DIP-Schalter möglich.

Ankopplung an den Systembus

Die Ankopplung an den Systembus erfolgt über den Port A vom SIO-Schaltkreis D12 (UA8560D). Zusätzlich wird vom CTC-Schaltkreis D26 (UA857D) der Zähler-Eingang C/TRG3 benutzt. In der Interruptkette der DSE besitzt der SIO-Schaltkreis D12 die höchste Priorität.

Erzeugung der Taktsignale

Die erforderlichen Taktfrequenzen werden durch digitale Frequenzteilung mit D7 (DL193) von der 8-MHz-Quarzfrequenz abgeleitet. Die Datenübertragungsrate beträgt 500 kbit/s. Es sind 500 kHz für den Sendetakt der SIO (TxCA), 500 kHz und 1 MHz für den Manchester-Coder des Senders sowie 4 MHz und 8 MHz für den Empfangsdekoder bereitzustellen.

Serielle Ein- und Ausgabe

Zur Realisierung der Funktion der seriellen Ein- und Ausgabe wird der SIO-Schaltkreis UA8560D (D12 Port A) benutzt. Er wird in der synchronen SDLC-Betriebsart betrieben. Dabei werden folgende Funktionen realisiert:

- automatische Flageinfügung und Ausblendung
- automatische Adreßerkennung
- automatische Nulleneinfügung
- CRC-Summenberechnung und -vergleich
- Abbruchfolgeerzeugung und -erkennung

Die Modem-Eingänge werden zur Erkennung der Signale

Carrier Sense	= DCDA
Kollision	= CTDA

genutzt. Das Signal "Jabber" ist am CTC-Schaltkreis D26 Eingang C/TRG3 angeschlossen. Dabei werden die von den Schaltkreisen gebotenen Möglichkeiten genutzt, auf Pegelübergänge an diesen Eingängen zu reagieren. Das ermöglicht eine schnelle Erkennung bestimmter Zustände. Die Übertragungsgeschwindigkeit von 500 kbit/s entspricht unter Beachtung notwendiger Reserven der maximalen Übertragungsgeschwindigkeit der SIO. Unter diesen Bedingungen ist ein interrupt-gesteuerter Zugriff der CPU auf die SIO nicht möglich. Die Übertragung zur SIO geschieht mit den Blockausgabebefehlen der CPU unter Ausnutzung des WAIT-Regimes. Damit wird die erforderliche zeitliche Synchronisation zwischen CPU und SIO hergestellt. Die WAIT-Signale werden von der SIO generiert. Ist im Sendebetrieb der Sendepuffer voll, wird durch das aktivierte WAIT-Signal der Blockausgabebefehl der CPU unterbrochen.

Bei Betrieb der SIO als Empfänger wird das WAIT-Signal bei leerem Empfangspuffer aktiviert. Erst wenn wieder ein gültiges Datenbyte zur Verfügung steht, kann durch Rücksetzen des WAIT-Signals der Programmablauf fortgesetzt werden.

WAIT-Überwachung

Eine ausbleibende Erkennung des Endes einer Datenübertragung kann dazu führen, daß die CPU blockiert, da in diesem Fall das WAIT-Signal aktiv bliebe. Um diesen Zustand zu vermeiden, ist eine WAIT-Schutzschaltung, bestehend aus einem Binärzähler D9 (DL193), zwei NAND-Gattern von D42 (D126) und zwei Inverter des D43 (DL004), vorgesehen.

Beim Aktivieren des WAIT-Signals erfolgt die Freigabe des Zählers D9, welcher mit dem Sendetakt hochzählt. Nach 16 Sendetakten bildet der Zähler einen Übertragsimpuls. Hiervon wird, wenn nicht im regulären Betrieb bereits erfolgt, das WAIT-Signal aufgehoben.

In diesem Fall wird weiterhin gewährleistet, daß bei Interruptanforderungen der SIO eine Zurücknahme des WAIT-Signals erfolgt.

Kodierung der Sendeinformation

Die Sendeinformation wird nach dem Manchester-Diphase-Verfahren codiert. Das erfolgt zu dem Zweck, ein Signal zu erhalten, welches ein Tastverhältnis von 1:1 aufweist und die Rückgewinnung des Taktes erlaubt.

Im ManchesterCoder wird in der ersten Hälfte der Bitperiode die Information (H oder L) und in der zweiten Hälfte der Bitperiode das entsprechende Komplement ausgegeben. Damit ergeben sich in der Mitte der Bitperiode stets Pegelübergänge, diese bilden die Grundlage für die Taktrückgewinnung im Empfänger.

Die Codierung erfolgt in der Antivalenzstufe D40 (DL086), in dem die seriellen Daten der SIO und der Sendetakt miteinander verglichen werden. Da die Sendedaten vom SIO-Schaltkreis zur Taktfrequenz verzögert ausgegeben werden, führt dies beim L/H- oder H/L-Wechsel der Sendedaten am Antivalenzgatterausgang zu Störimpulsen. In dem nachfolgenden flankengetriggerten FF D23 (DL074) werden deshalb die manchestercodierten Daten mit der positiven Flanke der doppelten Übertragungsfrequenz getriggert. An den Ausgängen von D23 stehen damit die manchestercodierten Daten bereit.

Das Zuschalten der Sendeinformation zur Ausgangsstufe und damit zum LAN-Anschluß erfolgt über die Torschaltung mit zwei NAND-Gattern von D42 (D126). Liegt an D42 Pin 9, 13 ein L-Signal, sind alle Transistoren V26 bis V31 der Gegentaktausgangsstufe gesperrt und damit vom LAN-Anschluß getrennt. Bei abgeschaltetem Computer sorgen die Dioden V10 bis V13 dafür, daß das Netz nicht durch die Transistoren der Ausgangsstufe belastet wird.

Bei ordnungsgemäßigem Abschluß der Leitung mit jeweils 75 Ohm am Anfang und am Ende beträgt die Amplitude des Sendesignals 2,5 V Scheitelspannung.

Sendezeitüberwachung (Jabber)

Eine Begrenzung der Sendezeit ist notwendig, damit bei eventuell auftretenden Verklemmungen (Software- oder Hardwarefehlern) nicht das gesamte Netz durch zeitlich unbegrenztes Senden eines Computers blockiert wird.

Schaltungstechnisch wird diese Funktion dadurch realisiert, daß mit Aktivwerden der Senderfreigabe (RTSA an SIO auf L) die monostabile Kippstufe D19 (DL123) ausgelöst wird. Wenn die Sendefreigabe nicht von der SIO zurückgenommen wird, schaltet die Kippstufe von D19 nach maximal 230 ms den Sender ab. Gleichzeitig gelangt das Signal auf den CTC-Eingang C/TRG3 von D26, wo durch Interruptauslösung (Jabberinterrupt) der Computer aus unerwünschten Programmzyklen geführt wird.

Empfänger-Eingangsstufe

Das Signal vom Netz gelangt über die Widerstände R58, R86 vom Netzeingang zum Schaltkreis D18 (DL2632). In Verbindung mit dem D-FF D24 (Pin 8 bis 13) erfolgt eine ausreichende Regeneration der vom Netz empfangenen Information.

Dekodierung der Eingangssignale

Aus dem Eingangssignal, welches im Manchestercode vorliegt, müssen die Empfangsinformation und der Empfangstakt zurückgewonnen werden. Dazu ist es erforderlich, alle Pegelübergänge des Eingangssignals zu erfassen. Dem Antivalenzgatter D40 (Pin 4 bis 6) wird einmal das direkte und einmal das über R41, C11 verzögerte und in D18 (Pin 1 bis 3) regenerierte Eingangssignal zugeführt. Damit erscheint am Ausgang von D40 bei jedem Pegelwechsel ein H-Impuls. Von diesen Impulsen müssen alle diejenigen ausgeblendet werden, die an den Bitgrenzen liegen. Dazu dient der Zähler D16, welcher mit jedem Ladeimpuls auf die Zahl 14 eingestellt wird. der Zähler zählt mit 4 MHz rückwärts. Durch Verknüpfung des Zählerausgangs Qc mit den Eingangsimpulsen entsteht ein Impulsdurchlaßbereich, dessen Lage bei fehlender Synchronisation im Vergleich zu den Eingangssignal-Pegelübergängen wandert. Unabhängig von der Ausgangslage wird damit ein Einrasten innerhalb von maximal zwei Bitperioden gewährleistet, sofern Pegelübergänge L/H bzw. H/L anliegen.

Im eingerasteten Zustand wird der jeweils durchgeschaltete Impuls (Pegelwechsel in Bitmitte) zur Übernahme der Eingangsinformation in das D-FF D24 (Pin 1 bis 6) genutzt.

Wenn kein Eingangssignal anliegt, kann wegen der ausbleibenden Pegelübergangsimpulse kein periodisches Laden des Zählers erfolgen. Der Zählerinhalt verringert sich kontinuierlich, und es werden Übertragsimpulse gebildet. Diese gelangen an den retriggerbaren monostabilen Multivibrator D19 und setzen das Signal "Carrier Sense" zurück. Damit dient diese Funktionsgruppe neben der Dekodierung des Eingangssignals auch zur Bildung des Signals "Carrier Sense".

Kollisionserkennung

Im Netz wird mit dem Zugriffsverfahren CSMA/CD gearbeitet. Es ist erforderlich, einen gleichzeitigen Zugriff mehrerer Teilnehmer auf das LAN-Übertragungsmedium zu erkennen und den Abbruch der eigenen Sendung zu veranlassen. Bei gleichzeitigem Senden zweier oder mehrerer Teilnehmer kommt es auf Grund der Stromeinspeisung der Sender zu Signallöschungen auf der Leitung. In dem Antivalenzgatter D40 (Pin 11 bis 13) wird das zu sendende Signal mit dem von der Leitung empfangenen Signal verglichen. Das am Gatter D37 (Pin 3 bis 6) gebildete Taktsignal trägt die Information, Übereinstimmung beider Signale oder nicht, in das D-FF D23 (Pin 1 bis 6) ein. Bei L-Pegel am Ausgang von D23 (Pin 6) wird über den Eingang CTDA der SIO (D12) ein Interrupt erzeugt und Abbruchfolgen gesendet.

Teilnehmer-Nummer

Über den Bus-Ankoppelschaltkreis D17 (DL541) erfolgt die Abfrage des DIL-Schalters zur Einstellung der Teilnehmer-Nummer.

2.6.4. Prüfablauf

SIO-Steuerung

Die SIO-Steuerung vom Bus ist entsprechend Abschnitt 2.5 zu prüfen.

LAN-Komplex

LAN-Ausgang X12:2 und X12:3 mit Widerstand (4) 36 Ohm abschließen.
Widerstand (5) 100 Ohm vom Ausgang X12:3 nach Masse, z.B. X4:2, schalten.

Statische Spannungsmessung

Mit dem DVM (2) Spannung entsprechend nachfolgender Tabelle messen:

Verbindung	Prüfpunkt	Sollwert
---	X4:2 (-) und D18 Pin 2	+(1,15 bis 1,5) V
---	" " X12:3	≤ 0,1 V
---	" " X12:2	≤ 0,1 V
D42 Pin 8 mit X4:2	" "	(> -0,25 bis <0,25) V
" " 8 " "	X12:3 (-) " "	+(1,1 bis 1,35) V
" " 11 " "	" " "	-(1,1 bis 1,35) V
" " 11 " "	X4:2 (-) " X12:3	(> -0,25 bis <0,25) V

Taktbereitstellung

Mit Oszilloskop (3) an folgenden Punkten Rechteckspannung, Tastverhältnis 1:1, messen:

D37	Pin 5	0,25 µs
D37	Pin 3	0,5 µs
D37	Pin 4	1,0 µs
D40	Pin 9	2,0 µs

Signale im Sendeteil

Testprogramm durch Eingabe von FLAG.BAS von Diskette starten. Im Ptüfiling wird von D12 (SIO) fortlaufend für je 100 ms die serielle Bitkombination 7EH ausgegeben. Die Unterbrechung nach 100 ms beträgt jeweils 0,5 ms.

Sendefreigabe

Mit Oszilloskop (3) Zeitablenkung 0,5 bis 10 ms/cm, Y-Eingang (Teiler 10:1) an folgenden Punkten messen:

D19	Pin 10	Rechteck > 3 V
		0,5 ms Low
		100 ms High
D19	Pin 5	Rechteck > 3 V
		0,5 ms Low
		100 ms High

DatenZeitablenkung am Oszilloskop (3) 2 μ s/cm

D40	Pin 10	Rechteck	> 3 V
		4 μ s	Low
		12 μ s	High

Codierte Daten

D23	Pin 9	Rechteck	> 3 V
für die Dauer von	10 μ s	1 μ s	Low
		1 μ s	High
danach		2 μ s	Low
		1 μ s	High
		1 μ s	Low
		2 μ s	High

X12:3 mit Masse verbinden.

X12:2 Rechteck (2,2 bis 2,7) V Signalverlauf entsprechend D23 Pin 9.

Signale im EmpfangsteilCodierte Daten

Einstellungen wie im Abschnitt "Signale im Sendeteil". Mit Oszilloskop (3), Zeitablenkung 10 μ s/cm, Y-Eingang (Teiler 10:1), an folgenden Punkten messen:

D18	Pin 11)	
D24	Pin 9)	Signalverlauf entsprechend D23 Pin 9 (codierte Daten)
D18	Pin 3)	

Synchron-ImpulseZeitablenkung 0,2 μ s/cm

D40	Pin 6	Nadelimpulse	> 3 V
		30 bis 80 ns	High
		0,9 μ s	Low

TaktZeitablenkung 1 μ s/cm

D16	Pin 6	Rechteck	> 3 V
		1 μ s	Low
		1 μ s	High

Carrier Sense

Zeitablenkung 1 ms/cm

D19	Pin 4	100 ms	High
		0,4 bis 0,5 ms	Low

DatenZeitablenkung 2 μ s/cm

D24	Pin 6	Rechteck	> 3 V
		4 μ s	Low
		12 μ s	High

KollisionserkennungZeitablenkung am Oszilloskop (3) 2 μ s/cm

D23	Pin 3	Rechteck	> 3 V
		875 ns	Low
		125 ns	High
D23	Pin 5		Low

X12:3 mit X12:2 verbinden

D23	Pin 5	1 μ s	Low)	
		1 μ s	High)	
		2 μ s	Low)	codierte Daten
		1 μ s	High)	entsprechend D23 Pin 9
		1 μ s	Low)	
		2 μ s	High)	

abschließend Verbindung X12:3 - X12:2 wieder aufheben.
 Programm FLAG.BAS unterbrechen.

Jabber-Signal

Testprogramm JAB.BAS starten. Mit Oszilloskop (3), Zeitablenkung 0,5 bis 50 ms/cm (Y-Eingang Teiler 10:1), an folgenden Punkten messen:

D19	Pin 10	Rechteck	> 3 V
		350 ms	High
		0,5 ms	Low
D19	Pin 5	Rechteck	> 3 V
		130 bis 230 ms	High

Programm JAB unterbrechen.

WAIT-Signal

Mit dem Oszilloskop (3) Zeitablenkung: 2 μ s/cm Y-Eingang (Teiler 10:1) an folgenden Punkten messe:

D12	Pin 10	High
D42	Pin 3	High

D12 Pin 10 kurzzeitig mit (0) verbinden.

D42	Pin 3	Rechteck	> 3 V
		29 μ s	Low
		1 μ s	High

Status-Nr.-Abfrage

Testprogramm STNR.BAS starten. Nacheinander X13:1 bis X13:4 mit (Masse) verbinden. Anzeige am Computer: 13, 14, 11, 7.

3. Sicherheitstechnische Prüfungen nach der Reparatur

Zur Gewährleistung der erforderlichen elektrischen Sicherheit sind nach jeder Reparatur die nachfolgend aufgeführten Prüfungen bei normalen Betriebsbedingungen durchzuführen und auf der Reparaturkarte mit Unterschrift des Prüfers aktenkundig festzuhalten.

3.1. Notwendige Prüfmittel

- (1) Schutzleiter- und Isolationsprüfgerät SP 9 bzw. SP 15
- (2) Vielfachmesser Z4317 (Meßbereich: 8 bis 10 A), Hersteller: Sowjetunion
- (3) Hochspannungsprüfgerät WIP 6 (0 bis 6 kV), Hersteller: TPW Thalheim
- (4) Isolationswiderstandsmesser PU 130, Hersteller: Metra Blansko, CSSR

3.2. Prüfungen

3.2.1. Sichtprüfung

Das Gerät ist einer Sichtkontrolle zwecks Einhaltung der sicherheitstechnischen Forderungen zu unterziehen, z.B.:

- Kontrolle der Anschlußdrähte (Netz) auf festen Sitz, keine freien Drahtenden, keine Drahtquetsungen usw.
- Kontrollieren, ob die Netzabdeckungen, Sicherheitskäfige, Seiten-, Boden- und Deckbleche ordnungsgemäß montiert sind.
- Kontrollieren, ob die eingesetzten Sicherungen den vorgeschriebenen Werten entsprechen.
- Kontrollieren, ob alle notwendigen Beschriftungen vorhanden sind, z.B. Warnzeichen, Kennwerte der Sicherungen usw.

3.2.2. Kontrolle des Schutzleiters

Mit dem Schutzleiterprüfgerät (1) ist die Wirksamkeit des Schutzleiters (Schutzklasse I) zu überprüfen. Wenn kein entsprechendes Meßgerät vorhanden ist, kann die Prüfung entsprechend TGL 200-0603 mit einem Durchgangsprüfer durchgeführt werden.

3.2.3. Messung des Isolationswiderstandes

Der Isolationswiderstand ist mit (4) zu messen. Er muß zwischen dem kurzgeschlossenen Netzeingang und dem Gehäuse mit einer Gleichspannung von 500 V gemessen werden. Der Isolationswiderstand darf nach Erreichen einer stationären Anzeige innerhalb von 5 s nicht kleiner als 4 MOhm sein.

3.2.4. Prüfung der Festigkeit der Isolation

Die Prüfungen sind mit dem Hochspannungsprüfgerät (3) durchzuführen. Die Prüfspannung beträgt 2 kV. Dabei sind spezielle, dem Schutz des Gerätes oder dessen Teilen dienende Maßnahmen der Reparaturanleitung zu entnehmen.

ANHANG**Unterlagen Prüfmittel**

- Anschluß des Signaturanalysators an ASA und Schalterstellungen an ASA
- Prüfmittel 1.3 (PM10) - Adapter für ASA
- Prüfmittel 1.3 (PM11) - Adapter für Modul
- Prüfmittel 1.3 (PM12) - Prüfstecker für X3 (Tastaturstecker im CGG)
- Prüfmittel 1.3 (PM13) - Prüfstecker für X7 (E/A-Schnittstelle am CGG)
- Prüfmittel 1.3 (PM14) - Klemmleisten für Prüfklemmen
- Prüfmittel 1.3 (PM15) - Brückenstecker
- Prüfmittel 1.3 (PM20) - Prüfstecker für DSE X3 (Druckerschnittstelle an DSE)
- Prüfmittel 1.3 (PM23) - Prüfstecker für X6 (Kassetteninterface am CGG)
- Prüfmittel 2.3 (PM9) - Lastnachbildung für Netzteil DSE
- Prüfmittel 2.3 (PM4) - Adapterkabel für Floppy-Beistellung
- Prüfmittel 2.4 (PM1) -)
- Prüfmittel 2.5 (PM1) -) BIC-Prüfplatz für Leiterplatte DSE
- Prüfmittel 2.6 (PM1) -)
- Verlängerungskabel für Stromversorgung DSE/CGG, für BIC-Prüfplatz, Leiterplatte DSE oder separaten Anschluß eines CGGs (Prüfung entsprechend Abschnitt 1)
- Verlängerungskabel (Stromversorgung DSE/CGG) für BIC-Prüfplatz, Leiterplatte DSE oder separaten Anschluß eines CGGs
- Verlängerungskabel für Floppylaufwerk für BIC-Prüfplatz, Leiterplatte DSE
- Prüfmittel 2.5 (PM3) - E/A-Schnittstelle für DSE
- Prüfmittel 2.5 (PM4) - Plotter-Schnittstelle für DSE